



**EDUCACIÓN**

SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO  
NACIONAL DE MÉXICO

# Tecnológico Nacional de México

**Centro Nacional de Investigación  
y Desarrollo Tecnológico**

## Tesis de Maestría

**Pruebas HALT de Temperatura y Humedad en un  
Circuito de Gobierno de un Convertidor Elevador**

presentada por

**Ing. José de Jesús López Romay**

como requisito para la obtención del grado de  
**Maestro en Ciencias en Ingeniería  
Electrónica**

Director de tesis

**Dr. Jorge Hugo Calleja Gjumlich**

Codirector de tesis

**Dr. Rodolfo Amalio Vargas Méndez**

**Cuernavaca, Morelos, México. noviembre de 2022**



Centro Nacional de Investigación y Desarrollo Tecnológico  
Departamento de Ingeniería Electrónica

Cuernavaca, **22/noviembre/2022**  
Mor., **DIE/126/2022**  
No. de Oficio: **Aceptación de documentos de**  
Asunto: **tesis**

**DR. CARLOS MANUEL ASTORGA ZARAGOZA**  
**SUBDIRECTOR ACADÉMICO**  
**PRESENTE**

Por este conducto, los integrantes de Comité Tutorial del C. Ing. José de Jesús López Romay, con número de control M20CE090 de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado "Pruebas HALT de Temperatura y Humedad en un Circuito de Gobierno de un Convertidor Elevador" y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

**DIRECTOR DE TESIS**

Dr. Jorge Hugo Calleja Gjumlich  
Doctor en Ciencias en Ingeniería  
Electrónica  
Cédula profesional 4033213

**CODIRECTOR DE TESIS**

Dr. Rodolfo Amalio Vargas Méndez  
Doctor en Ciencias en Ingeniería  
Electrónica  
Cédula profesional 9526506

**REVISOR 1**

Dr. Víctor Hugo Olivares Peregrino  
Doctor en Ciencias en Ingeniería  
Electrónica  
Cédula profesional 5999002

**REVISOR 2**

Dra. Susana Estefany de León Aldaco  
Doctor en Ciencias en Ingeniería  
Electrónica  
Cédula profesional 10458245

Cp: Lic. Silvia del Carmen Ortiz Fuentes- jefa del Departamento de Servicios Escolares  
Estudiante  
HEE/mrsr



Interior Internado Palmira S/N, Col. Palmira, C. P. 62490, Cuernavaca, Morelos  
Tel. 01 (777) 3627770, ext. 2225, e-mail: die@cenidet.tecnm.mx | tecnm.mx | cenidet.tecnm.mx



Ricardo  
**2022 Flores**  
Año de Magón  
FELICIDAD EN LA EDUCACIÓN PÚBLICA

Cuernavaca, Mor., **22/noviembre/2022**  
No. De Oficio: **SAC/168/2022**  
Asunto: **Autorización de impresión de tesis**

**JOSÉ DE JESÚS LOPÉZ ROMAY  
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS  
EN INGENIERÍA ELECTRÓNICA  
P R E S E N T E**

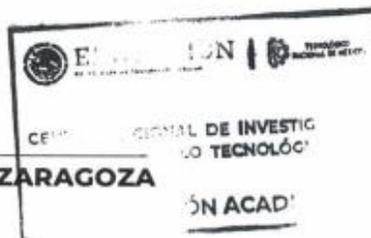
Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado **"Pruebas HALT de temperatura y humedad en un circuito de Gobierno de un convertidor elevador "**, ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo.

**ATENTAMENTE**  
Excelencia en Educación Tecnológica®  
"Educación Tecnológica al Servicio de México"



**DR. CARLOS MANUEL ASTORGA ZARAGOZA**  
**SUBDIRECTOR ACADÉMICO**



C. c. p. Departamento de Ingeniería Electrónica  
Departamento de Servicios Escolares

CMAZ/RMA

## Resumen

Hoy en día, muchos productos electrónicos de bajo costo anuncian vidas útiles en el orden de miles de horas. Sin embargo, prevalece la interrogante de cómo verificar la durabilidad e identificar fallas en el diseño. Separar una muestra de un lote de producción y ponerla a funcionar hasta que falle es poco práctico. Debido a que es fundamental obtener aparatos duraderos, se recurre a técnicas de maximización de la confiabilidad, entre las cuales figuran las pruebas aceleradas. De acuerdo al objetivo, las pruebas pueden ser de vida acelerada (considerando la ecuación de Arrhenius), o pruebas HALT (Highly Accelerated Limit Test; IEC 62506 2013, p. 10) para identificar con rapidez límites y debilidades en un producto.

Las pruebas HALT se aplican como estrategia para apresurar el envejecimiento de los productos y determinar si se presenta una falla reversible o catastrófica. Además, ayudan a identificar puntos débiles en el diseño y construcción del prototipo. Para ello, el producto se somete a esfuerzos cuya intensidad va aumentando en sentido positivo, primero, y después en sentido negativo (como es el caso de la temperatura). Por otro lado, el tiempo para alcanzar la saturación en humedad de un componente electrónico depende principalmente de las dimensiones del material. Lo anterior es relevante debido a que normalmente en un prototipo se utilizan componentes de diferentes medidas; esto sugiere que, en un proceso HALT, serán los componentes de menor dimensión los primeros en presentar una falla parámetrica; por lo anterior, se sometió el circuito de control del convertidor elevador a las pruebas HALT.

En el circuito de control del convertidor elevador, para un valor dado de humedad relativa se aplicaron en principio dos secuencias de temperaturas, primero en aumento a partir de la ambiental, y después en disminución. Una vez alcanzados los límites de temperatura, se modificó el nivel de humedad y se repitieron las secuencias; se aplicaron en total nueve valores de humedad relativa. Se monitoreó la frecuencia de conmutación  $f_s$  y el ciclo de trabajo  $D$  del TL494CN para evidenciar si ocurría una falla catastrófica. Con los valores máximos y mínimos de  $f_s$  y  $D$  obtenidos de las pruebas HALT se desarrollaron simulaciones en Orcad para analizar el comportamiento del rizo de voltaje a la salida del convertidor elevador. Con  $D = 85.76\%$  se obtuvieron valores demasiado altos en el voltaje de salida y en la amplitud del rizo de voltaje en régimen permanente del convertidor elevador, esto en comparación con las primeras cuatro simulaciones de un total de ocho realizadas.

## Abstract

Today, many low-cost electronics advertise lifespans on the order of thousands of hours. However, the question remains how to verify durability and identify design flaws. Separating a sample from a production batch and running it until it fails is impractical. Because durable devices are essential, reliability maximization techniques are used, including accelerated testing. According to the objective, the tests can be accelerated life (considering the Arrhenius equation), or HALT tests (Highly Accelerated Limit Test; IEC 62506 2013, p. 10) to quickly identify limits and weaknesses in a product.

HALT tests are applied as a strategy to accelerate the aging of products and determine if a reversible or catastrophic failure occurs. In addition, they help identify weak points in the design and construction of the prototype. To do this, the product is subjected to efforts whose intensity increases in a positive direction, first, and then in a negative direction (as is the case with temperature). On the other hand, the time to reach moisture saturation of an electronic component depends mainly on the dimensions of the material. The foregoing is relevant because components of different sizes are normally used in a prototype; this suggests that, in a HALT process, the components with the smallest dimension will be the first to present a parameter failure; Therefore, the boost converter control circuit was subjected to HALT tests.

In the boost converter control circuit, for a given relative humidity value, two temperature sequences were initially applied, first increasing from the ambient temperature, and then decreasing. Once the temperature limits were reached, the humidity level was modified and the sequences were repeated; A total of nine relative humidity values were applied. The switching frequency  $f_S$  and the duty cycle  $D$  of the TL494CN were monitored to evidence if a catastrophic failure occurred. With the maximum and minimum values of  $f_S$  and  $D$  obtained from the HALT tests, simulations were developed in Orcad to analyze the behavior of the voltage ripple at the output of the boost converter. With  $D = 85.76\%$ , too high values were obtained in the output voltage and in the amplitude of the voltage ripple in permanent regime of the boost converter, this in comparison with the first four simulations of a total of eight carried out.

## **Dedicatoria**

*Si he logrado ver más lejos,  
ha sido porque he subido  
a hombros de gigantes.*

*Isaac Newton*

**A Dios:** por darme la salud, la sabiduría y el entendimiento  
para culminar mis estudios de maestría.

## **Agradecimientos**

Al Consejo Nacional de Ciencia y Tecnología, por el apoyo económico que me proporcionó durante dos años para cumplir una meta importante de mi proyecto de vida, y además al TecNM CENIDET por permitirme hacer uso de las instalaciones que fueron base primordial para elaborar satisfactoriamente este tema de tesis.

Agradezco a mi familia, por demostrarme su amor y estar a mi lado en momentos difíciles.

Gracias al Dr. Jorge Hugo Calleja y Dr. Rodolfo Vargas, por guiarme en mi tesis, sus indicaciones y observaciones asertivas fueron pilares fundamentales en el desarrollo de este trabajo de investigación.

A la M.C Jazmín Muñoz por su trabajo en el desarrollo de los prototipos para la realización de las pruebas experimentales

A mis revisores, Dra. Susana de León y Dr. Víctor Olivares, muchas gracias por sus observaciones.

A los doctores del área de Electrónica de Potencia, Dra. Leticia Sánchez Lima y la licenciada Patricia Armas, que con sus conocimientos me ayudaron a obtener una versión mejorada de mí en el ámbito académico.

A la Lic. María del Rocío Salazar Ruíz, muchas gracias por su invaluable apoyo en la gestión de la documentación para la titulación.

## **Acrónimos**

ALT	<i>Accelerated Life Test.</i> Prueba Acelerada de Vida.
FMECA	<i>Failure Modes, Effects and Criticality Analysis.</i> Análisis de Modos de Fallos, Efectos y su Criticidad.
HALT	<i>Highly Accelerated Limit Test.</i> Pruebas de Límite muy Aceleradas.
HASA	<i>Highly Accelerated Stress Audit.</i> Auditoría muy Acelerada de esfuerzos.
HASS	<i>Highly Accelerated Stress Screening.</i> Verificación muy Acelerada de Esfuerzos.
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor.</i> Transistor de Efecto de Campo Metal Óxido Semiconductor
RGT	<i>Reliability Growth Test.</i> Prueba de crecimiento de la confiabilidad.
RPAT	<i>Reliability Production Acceptance Test.</i> Prueba de aceptación de la calidad en la Producción.
RQT	<i>Reliability Qualification Test.</i> Prueba de calificación de la confiabilidad.

# Contenido

1	INTRODUCCIÓN .....	1
1.1	Ubicación de la problemática .....	1
1.2	Planteamiento del problema.....	2
1.3	Propuesta de solución .....	2
1.4	Objetivos.....	2
1.4.1	Objetivo General .....	2
1.4.2	Objetivos Específicos .....	2
1.5	Meta .....	3
1.6	Justificación .....	3
2	Estado del arte .....	4
3	Marco Teórico .....	9
3.1	Modelo de Arrhenius para efectos térmicos.....	9
3.2	Modelo de Peck para el efecto de humedad .....	9
3.3	Componentes del prototipo (convertidor elevador) a utilizar .....	10
3.3.1	MOSFET .....	10
3.3.2	Diodo .....	12
3.3.3	TL494CN.....	14
3.3.4	MIC4420YN.....	16
3.4	Falla paramétrica.....	18
3.5	Falla reversible .....	18
3.6	Humedad relativa (hr) .....	18
3.7	Tiempo de saturación de humedad .....	18
4	Estudio teórico detallado del impacto de la humedad en ensamblajes electrónicos .....	19
4.1	Estudio del efecto de la humedad en los empaques plásticos.....	20
4.1.1	Comportamiento de la humedad en función de la temperatura.....	20
4.2	Degradación de los capacitores de película debido al impacto de la humedad y la temperatura	22
4.2.1	Degradación de los capacitores de película de polímero metalizado con el polipropileno dieléctrico bajo la influencia de humedad y temperatura .....	22
4.2.2	Ensayos de degradación y análisis de fallos de capacitores de película de CC en condiciones de alta condiciones de humedad .....	24
5	Pruebas relativas a humedad .....	26
5.1	Normas JEDEC relacionadas con temperatura y humedad .....	26

5.1.1	JEDEC Standard JESD22-A100E: Cycled Temperature-Humidity-Bias with Surface Condensation Life Test. Noviembre 2020. (Prueba de vida con ciclos de temperatura, humedad relativa y polarización, con condensación superficial).....	26
5.1.2	JEDEC Standard JESD22-A101D.0: Steady-State Temperature-Humidity Bias Life Test. Enero 2021 (Prueba de vida con temperatura, humedad y polarización en régimen permanente)..	27
5.1.3	JEDEC Standard JESD22-A102E: Accelerated Moisture Resistance - Unbiased Autoclave (Resistencia a la humedad acelerada – Autoclave sin polarización).....	27
5.1.4	JESD22-A110E.01: Highly Accelerated Temperature and Humidity Stress Test (HAST) (Prueba muy acelerada con esfuerzos de temperatura y humedad).....	28
5.1.5	JESD22-A118B.01: Accelerated Moisture Resistance - Unbiased HAST (Resistencia a la humedad acelerada – HAST sin polarización) .....	28
5.1.6	JP002: Current Tin Whiskers Theory and Mitigation Practices Guideline, 2006 (Teoría actual de formación de <i>whiskers</i> , y guía de prácticas de mitigación) .....	29
5.1.7	JESD86A: Electrical Parameters Assessment, 2020 (Verificación de parámetros eléctricos)	29
5.1.8	JESD237: Reliability Qualification of Power Amplifier Modules, 2014 (Calificación de confiabilidad de módulos amplificadores de potencia). .....	30
6	Protección contra humedad.....	32
6.1	Recubrimiento de conformación (conformal coating).....	32
6.2	Clasificación de las pruebas aceleradas con base a la norma IEC 62506.....	33
6.3	Pruebas HALT.....	35
7	Convertidor elevador (Boost).....	36
7.1	Especificaciones del convertidor.....	37
8	Pruebas y resultados .....	38
8.1	Planeación de pruebas HALT .....	38
8.2	Ejecución de las secuencias HALT .....	41
8.3	Resultados obtenidos de las secuencias HALT .....	42
8.4	Análisis de los resultados obtenidos de la pruebas HALT .....	51
8.5	Resultados de simulación en Pspice .....	61
9	Conclusiones y actividades futuras .....	67
10	Referencias .....	68

## Figuras

Figura 2.1. Tendencia del año de publicación de los artículos relacionados a las pruebas HALT .....	4
Figura 2.2. Tendencia del año de publicación de los artículos relacionados a las pruebas HALT .....	5
Figura 2.3. Tendencia del año de publicación de los artículos relacionados a la sensibilidad .....	5
Figura 2.4. Tendencia del año de publicación de los artículos relacionados al impacto de la humedad en capacitores.....	6
Figura 2.5. Perfiles de un ciclo de choque térmico representativo (55/125 ° C (abajo) y cámara con muestras de tipo A y B [32].....	8
Figura 3.1. Tipo de agotamiento de un MOSFET [41, p.280] .....	11
Figura 3.2. Tipo de enriquecimiento de un MOSFET [41, p.280] .....	11
Figura 3.3. Símbolo del diodo y unión PN [41, p.20].....	12
Figura 3.4. Características v-i del diodo [41, p.20].....	13
Figura 3.5. Diagrama a bloques interno del TL494CN [42] .....	15
Figura 3.6. Terminales del TL494CN [42] .....	16
Figura 3.7. Esquemático del MIC4420YN [43].....	17
Figura 4.1. Distribución de fallos de los componentes en sistemas electrónicos de potencia. (a) Convertidores electrónicos de potencia industrial. (b) Accionamientos para motor de inducción [44]...	19
Figura 4.2. Comportamiento de la absorción de humedad en función de la temperatura, en una muestra de material epóxico [45] .....	20
Figura 4.3. Tiempo transcurrido a la saturación, a T = 130°C [45] .....	21
Figura 4.4. Comportamiento del aumento de peso en función del tiempo bajo prueba [47] .....	22
Figura 4.5. PCB para realizar la prueba de envejecimiento acelerado [48] .....	22
Figura 4.6. Fotografía izquierda: Encapsulados de los Capacitores B1. Fotografía derecha: dieléctrico del capacitor antes (arriba) y después (abajo) de la prueba de envejecimiento con tensión [49]. .....	23
Figura 4.7. Resultados de la prueba de degradación en términos de capacitancia ESR bajo diferentes condiciones de humedad a 85 ° C (ESR - Resistencia en serie equivalente, RH - Humedad relativa) [50].	25
Figura 5.1. Perfil de temperaturas en prueba JESD22-A100E [51] .....	26
Figura 5.2. Fotografía de <i>whiskers</i> , tomada con un microscopio electrónico [56] .....	29
Figura 5.3. Flujo del proceso [57] .....	29
Figura 6.1. Aplicación de recubrimiento a una resistencia discreta [60] .....	33

Figura 6.2. Principio del proceso de pruebas de límite muy aceleradas [63] .....	35
Figura 6.3. Límites en un producto [63].....	35
Figura 7.1. Esquemático del convertidor elevador .....	36
Figura 7.2. Diagrama completo del prototipo .....	37
Figura 8.1. Secuencia A .....	39
Figura 8.2. Secuencia B .....	39
Figura 8.3. Secuencia C .....	39
Figura 8.4. Secuencia D .....	39
Figura 8.5. Secuencia E.....	39
Figura 8.6. Secuencia F.....	39
Figura 8.7. Secuencia G .....	40
Figura 8.8. Secuencia H .....	40
Figura 8.9. Secuencia I.....	40
Figura 8.10. Conexiones realizadas entre el circuito de control del convertidor elevador, la fuente de poder y osciloscopio .....	41
Figura 8.11. Interpolación de los valores de la frecuencia obtenidos en la secuencia A y B.....	45
Figura 8.12. Interpolación de los valores de la frecuencia obtenidos en la secuencia D.....	46
Figura 8.13. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento.....	47
Figura 8.14. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución.....	47
Figura 8.15. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento.....	48
Figura 8.16. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento.....	48
Figura 8.17. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución.....	49
Figura 8.18. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento.....	49
Figura 8.19. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución.....	50
Figura 8.20. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento.....	50
Figura 8.21. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución.....	51

Figura 8.23. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 50°C y 33.7% HR .....	52
Figura 8.22. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 35% HR .....	52
Figura 8.24. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 70°C y 36.2 % HR .....	52
Figura 8.26. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 65.7% HR .....	53
Figura 8.25. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 35% HR .....	53
Figura 8.27. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -13°C y 74.2% HR .....	53
Figura 8.28. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 35% HR .....	54
Figura 8.29. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 80°C y 36.1% HR .....	54
Figura 8.30. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 34.8% HR .....	54
Figura 8.32. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 50.4% HR .....	55
Figura 8.31. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 50% HR .....	55
Figura 8.33. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 50.4% HR .....	55
Figura 8.35. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 75.2% HR .....	56
Figura 8.34. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 75.9% HR .....	56
Figura 8.36. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -9.9°C y 83.7% HR .....	56
Figura 8.38. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 68.8% HR .....	57
Figura 8.37. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 62% HR .....	57
Figura 8.39. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 65.2% HR .....	57
Figura 8.41. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 73% HR .....	58
Figura 8.40. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 63.1% HR .....	58
Figura 8.42. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -13°C y 77.2% HR.....	58
59	
Figura 8.43. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 80% HR .....	59
Figura 8.44. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 79% HR .....	59
Figura 8.45. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 81% HR .....	59
Figura 8.47. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 80% HR .....	60
Figura 8.46. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 80.1% HR .....	60
Figura 8.48. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -15.7°C y 81% HR.....	60
Figura 8.49. Voltaje de salida ( $V_{s1}$ ) del convertidor elevador a una $f_s = 96.983$ kHz, $D_m = 55.29\%$ y $Cap\ m=1.98$ uf .....	62
Figura 8.52. Voltaje de salida ( $V_{s4}$ ) del convertidor elevador a una $f_s = 96.983$ kHz, $D_m = 55.29\%$ y $Cap$ $M=2.2$ uf.....	64

Figura 8.53. Voltaje de salida (Vs5) del convertidor elevador a una $f_s = 96.983$ kHz, $D_m = 85.76\%$ y $Cap m=1.98$ uf .....	64
Figura 8.54. Voltaje de salida (Vs6) del convertidor elevador a una $f_s = 101.667$ kHz, $DM = 85.76\%$ y $Cap M=2.2$ uf .....	65
Figura 8.55. Voltaje de salida (Vs7) del convertidor elevador a una $f_s = 96.983$ kHz, $DM = 85.76\%$ y $Cap M=2.2$ uf .....	65
Figura 8.56. Voltaje de salida (Vs8) del convertidor elevador a una $f_s = 101.667$ kHz, $DM = 85.76\%$ y $Cap m=1.98$ uf .....	66

## Tablas

Tabla 2.1. Cantidad de artículos consultados en la revisión del estado del arte .....	4
Tabla 3.1. Condiciones de operación recomendadas [42] .....	15
Tabla 4.1. Absorción de humedad en compuestos para encapsulado [46] .....	21
Tabla 4.2. Resumen de los capacitores utilizados [48] .....	23
Tabla 4.3. Prueba de muestras de capacitores de películas de CD metalizados [50] .....	24
Tabla 6.1 Etapas en el ciclo de desarrollo de un producto y pruebas aceleradas [62] .....	34
Tabla 7.1 Ecuaciones de diseño del convertidor elevador [65] .....	36
Tabla 8.1. Secuencias aplicadas en las pruebas HALT .....	38
Tabla 8.2. Secuencia A, de 30°C a 70 °C con HR = 35% .....	42
Tabla 8.3. Secuencia B, de 20°C a -13°C, con HR = 35% HR .....	42
Tabla 8.4. Secuencia C, de 60°C a 90°C, con HR = 35% .....	42
Tabla 8.5. Secuencia D, de 30°C a 90 °C con HR = 50% HR .....	43
Tabla 8.6. Secuencia E, de 20°C a - 9.9 °C con HR = 50% .....	43
Tabla 8.7. Secuencia F, de 30°C a 90 °C con HR = 65% HR .....	43
Tabla 8.8. Secuencia G, de 20°C a - 13 °C con HR = 65% HR .....	44
Tabla 8.9. Secuencia H, de 30°C a 90 °C con HR = 80% HR .....	44
Tabla 8.10. Secuencia I, de 20°C a - 15.7 °C con HR = 80% HR .....	45
Tabla 8.11. Valores combinados de las variables para la obtención del Vs en Orcad. ....	61

# 1 INTRODUCCIÓN

---

## 1.1 UBICACIÓN DE LA PROBLEMÁTICA

A nivel mundial, en los últimos años se alcanzó una capacidad instalada para la generación de electricidad a partir de fuentes renovables cercana a los 2,799 GW [1]. Las inversiones en el sector también aumentaron: en 2021 se invirtieron 755,000 millones de dólares para mantener el crecimiento en la capacidad de generación de electricidad [2]. En México, la demanda se satisface actualmente con energía de fuentes fósiles, lo cual ofrece una gran oportunidad para la inversión en fuentes renovables. Si se agregan las expectativas de crecimiento, el margen para la implementación de este tipo de tecnología es aún mayor [3]. La energía solar fotovoltaica es así la fuente de energía eléctrica con más rápido desarrollo, con una tasa de crecimiento anual de 27.2 %. Para 2030, se espera alcanzar los 6,891 MW instalados [4].

El parámetro “Costo Nivelado de Energía LCOE” (*Levelized Cost Of Energy*) se utiliza para comparar tecnologías de generación de energía. En su forma más sencilla, el LCOE se puede expresar como:

$$LCOE = \frac{C_{TCV}}{E_{TCV}} \quad (1)$$

donde  $C_{TCV}$  es el costo total en el ciclo de vida, y  $E_{TCV}$  es la energía producida en el mismo lapso [5]. En  $C_{TCV}$  intervienen el costo inicial, la depreciación, las tasas de descuento y de impuestos, etc. En  $E_{TCV}$  intervienen la capacidad nominal del sistema, la tasa de degradación de los paneles, la eficiencia de los convertidores de potencia, la vida útil, etc. La meta es tener el LCOE más bajo posible. De acuerdo a (1), esto implica minimizar  $C_{TCV}$ , y/o maximizar  $E_{TCV}$ . Es fundamental entonces obtener aparatos duraderos, lo cual se logra recurriendo a técnicas de maximización de la confiabilidad, entre las cuales figuran las pruebas aceleradas. De acuerdo al objetivo, las pruebas pueden ser de vida acelerada (considerando la ecuación de Arrhenius), o pruebas HALT (*Highly Accelerated Limit Test*; [6]) para identificar con rapidez límites y debilidades en un producto.

## **1.2 PLANTEAMIENTO DEL PROBLEMA**

El tiempo para alcanzar la saturación en humedad de un componente electrónico depende principalmente de las dimensiones del material. Lo anterior es relevante debido a que normalmente en un prototipo se utilizan componentes de diferentes medidas: de menor dimensión, como los circuitos integrados, y dispositivos voluminosos, como transistores y diodos de potencia. Esto sugiere que, en un proceso HALT, serán los componentes de menor dimensión los primeros en presentar una falla paramétrica; por lo anterior, se someterá el circuito de gobierno del convertidor elevador a las pruebas HALT.

## **1.3 PROPUESTA DE SOLUCIÓN**

Monitorear y analizar el comportamiento del ciclo de trabajo y frecuencia de conmutación del circuito de gobierno en el convertidor elevador, caracterizando la respuesta del mismo a diferentes valores de humedad relativa y temperatura, hasta detectar una falla paramétrica o una catastrófica.

## **1.4 OBJETIVOS**

### **1.4.1 Objetivo General**

Aplicar el procedimiento de pruebas HALT que involucre temperatura y humedad como factores de esfuerzo, en el circuito de gobierno de un convertidor elevador CD-CD.

### **1.4.2 Objetivos Específicos**

- Asimilar el procedimiento HALT, y sus diferencias con respecto a otros tipos de pruebas aceleradas.
- Realizar el estudio teórico detallado del impacto de la humedad en ensamblajes electrónicos.
- Desarrollar una secuencia de pruebas que involucre temperatura y humedad como factores de esfuerzo.
- Caracterizar el funcionamiento del circuito de control del convertidor bajo condiciones nominales.
- Caracterizar el funcionamiento del circuito de control del convertidor bajo el régimen de pruebas HALT.

## 1.5 META

Desarrollar un conjunto de secuencias HALT con fundamento de diseño en la norma IEC 62506, para evidenciar el comportamiento de la humedad en combinación con la temperatura en el circuito de gobierno de un convertidor elevador.

## 1.6 JUSTIFICACIÓN

Hoy en día, muchos productos electrónicos de bajo costo anuncian vidas útiles en el orden de miles de horas. Sin embargo, prevalece la interrogante de cómo verificar la durabilidad e identificar fallas en el diseño. Separar una muestra de un lote de producción y ponerla a funcionar hasta que falle es poco práctico. Las pruebas HALT se aplican como estrategia para apresurar el envejecimiento de los productos y determinar su vida útil en tiempos cortos. Estas pruebas también ayudan a identificar puntos débiles en el diseño y construcción del producto. Considérese un convertidor CD/CD del tipo elevador, con valores particulares en el inductor de entrada y el capacitor de salida. El rizo de corriente a la entrada, el rizo del voltaje de salida y la ganancia del convertidor dependen de la frecuencia de conmutación  $f_s$  y del ciclo de trabajo  $D$ . Es común emplear un circuito de propósito específico para controlar al interruptor del convertidor; así pues, los cambios en este circuito que alteren ya sean a  $f_s$  o a  $D$  se reflejarán en el comportamiento global del convertidor. Los cambios pueden deberse a la temperatura y a la humedad.

Este trabajo de investigación es importante debido a que es útil y relevante conocer el comportamiento que ocasiona, en el circuito de gobierno del convertidor, la aplicación de distintos valores de humedad en combinación con la temperatura. El objetivo es detectar una falla catastrófica o paramétrica y detectar el componente causante de tal falla.

## 2 ESTADO DEL ARTE

Una vez presentada la problemática, se tiene una idea más concreta sobre la orientación de la investigación y los requerimientos de búsqueda técnica en la literatura para construir el estado del arte. Para la búsqueda se utilizaron las siguientes palabras clave; *introduction to HALT*, *HALT according to IEC*, *accelerated tests*, *sensitivity*, *accelerated tests* y *film capacitor*. Se definió un periodo de búsqueda de 10 años; sin embargo, hay un par de artículos fuera de ese rango, que se incluyeron debido a su importancia. La base de datos de la IEEE y el sevier fueron las principales herramientas de búsqueda. Los artículos más relevantes de la revisión del estado del arte se enuncian en este apartado, de igual manera la clasificación de los mismos. La cantidad de artículos que se consultaron se detalla en la tabla 2.1; la distribución en tiempo de las referencias se detalla en las figuras 2.1, 2.2, 2.3 y 2.4.

Tabla 2.1. Cantidad de artículos consultados en la revisión del estado del arte

	Pruebas HALT	Sensitividad	Impacto de la humedad en capacitores
	Referencias [7-28]	Referencias [79-103]	Referencias [104-108]
Total de artículos consultados	35	25	5

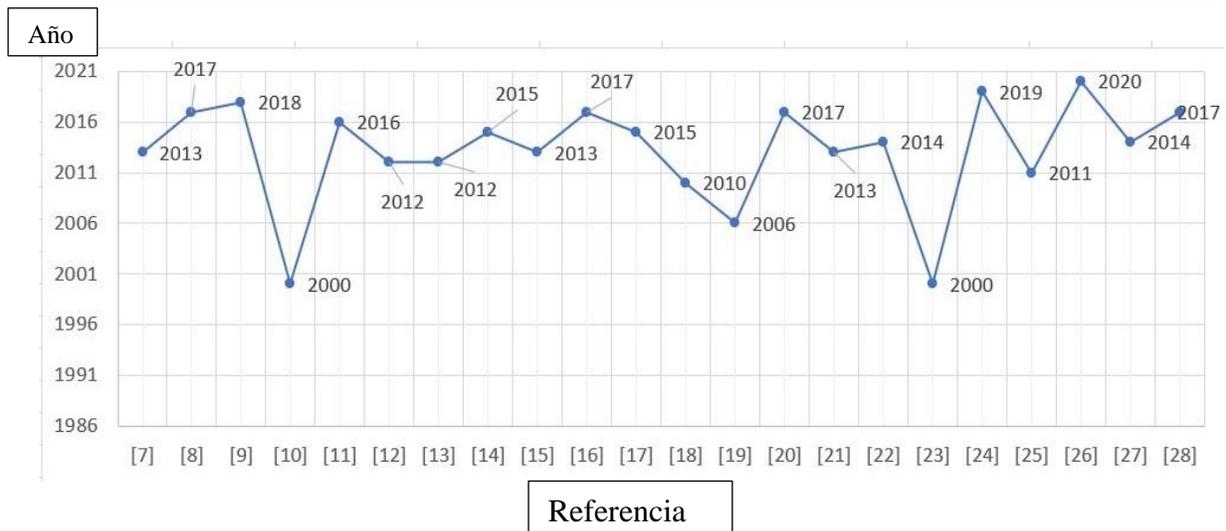


Figura 2.1. Tendencia del año de publicación de los artículos relacionados a las pruebas HALT

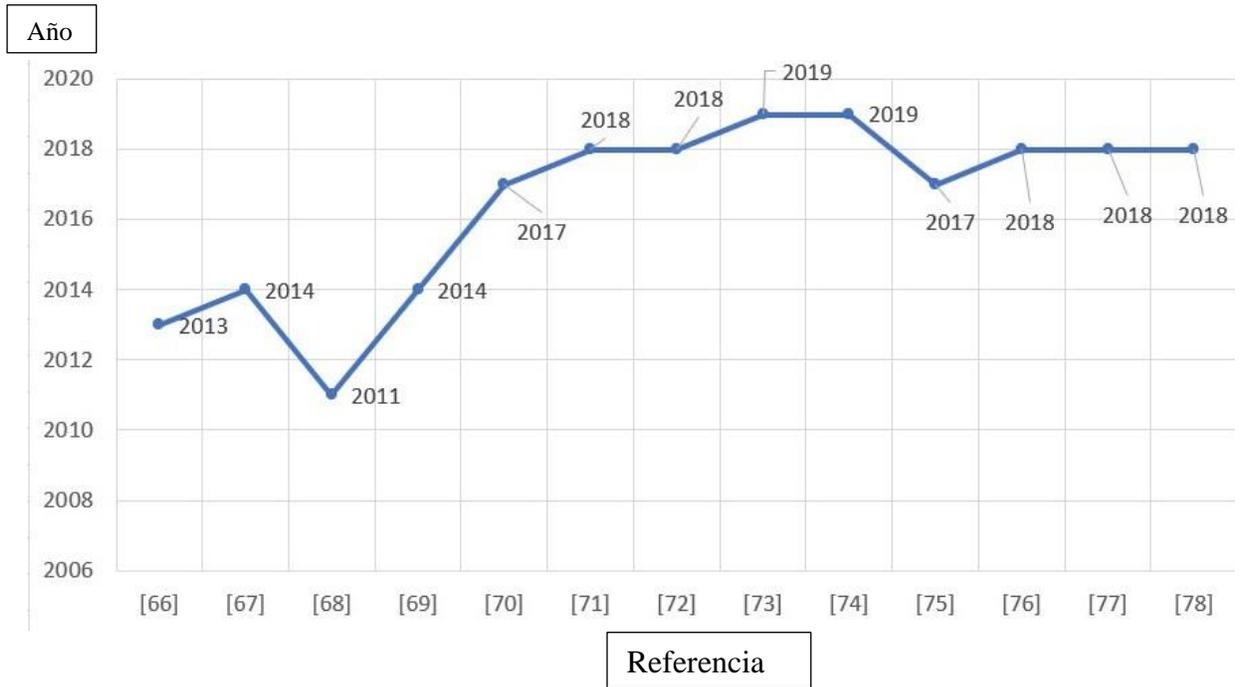


Figura 2.2. Tendencia del año de publicación de los artículos relacionados a las pruebas HALT

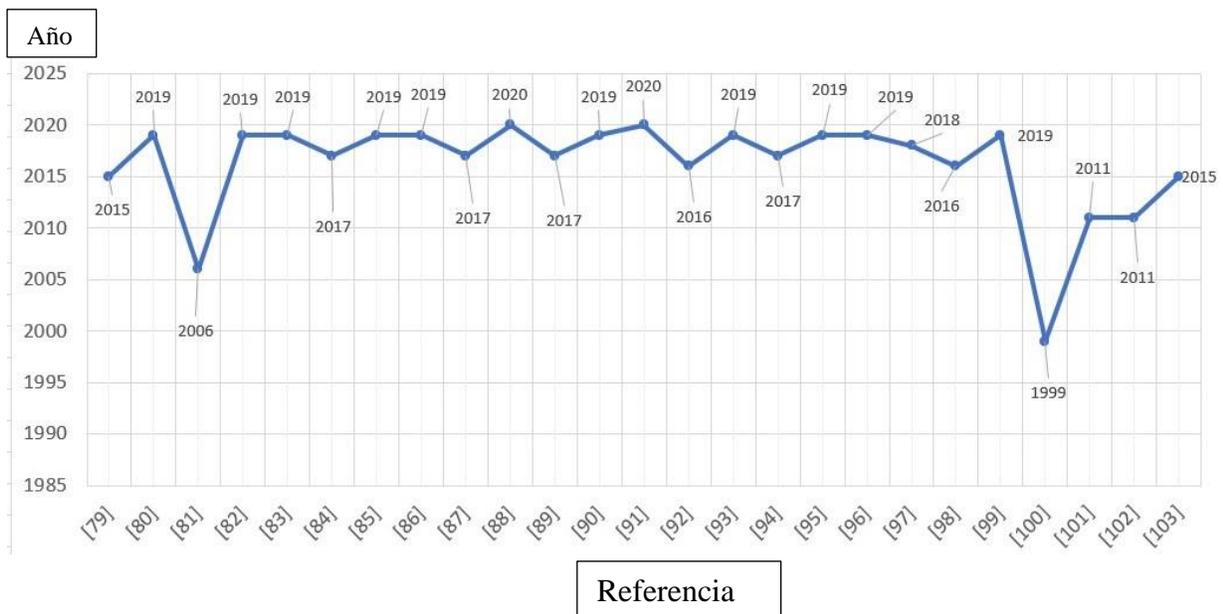


Figura 2.3. Tendencia del año de publicación de los artículos relacionados a la sensibilidad

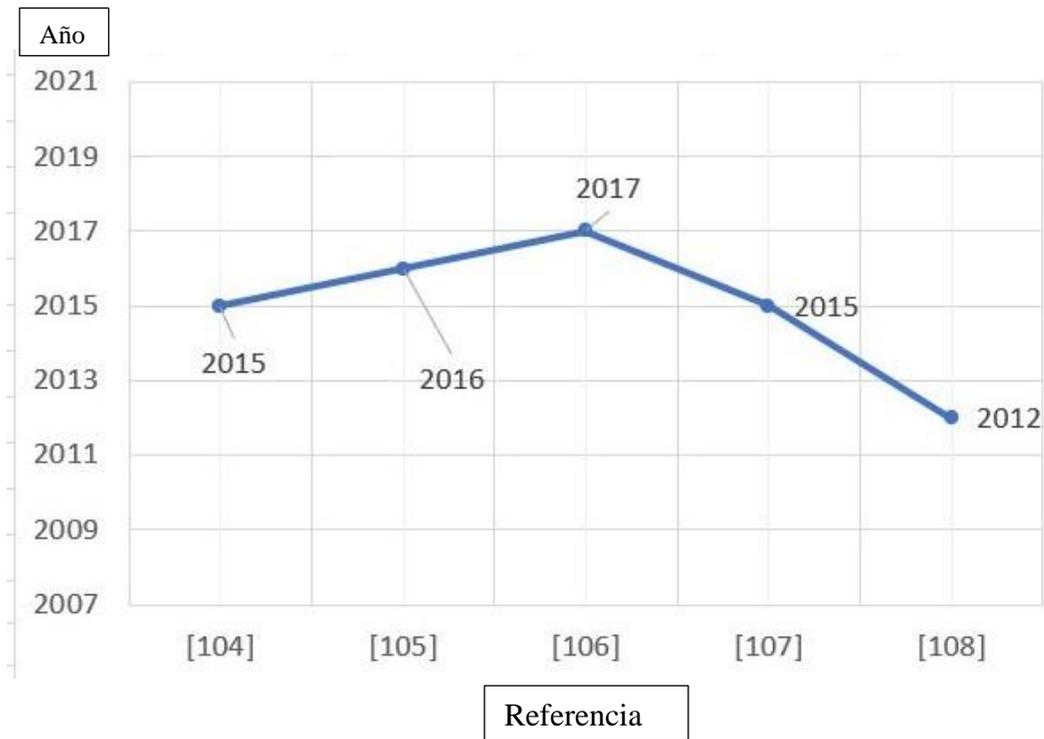


Figura 2.4. Tendencia del año de publicación de los artículos relacionados al impacto de la humedad en capacitores

Cómo introducción al estado del arte se enuncian los siguientes artículos [7-10]; en lo general, explican la importancia de las pruebas HALT, que es exponer defectos y eslabones débiles en diseños de productos, materiales y procesos por ensayos. El análisis de las muestras de fallas de HALT se debe realizar tan a profundidad como sea económicamente posible, para descubrir las causas subyacentes de los defectos y los eslabones débiles de los productos, y para proporcionar la base para la optimización y mejora del producto.

Con el procedimiento HALT, la operación y el límite de destrucción para temperatura y vibración, la tensión se determina sin considerar las condiciones de funcionamiento en el campo. Este procedimiento es una forma de análisis de puntos débiles, tal como se muestran en los artículos [11] y [12].

Las pruebas de nivel de material, de componente y de unidad solo se exigen para medir las métricas de rendimiento, lo cual es fácil de hacer. Sin embargo, para un producto complejo el parámetro de

degradación es difícil de predecir. Esto se vuelve más difícil cuando se trata de la prueba acelerada [13]. En los artículos [14] y [16] incluyen términos que son base en las pruebas HALT, también ilustran el objeto de las mismas mediante las gráficas de los límites considerados en un prototipo, además se sugiere que la gestión de los resultados HALT, sean organizados a base de gráficos circulares.

Como se mencionó, la norma IEC 62506 regula el procedimiento y la clasificación de cada una de las pruebas aceleradas, no tan sólo de la prueba HALT; además, muestra diferencias sólidas de cada una de las pruebas y el tiempo en cuál es ideal aplicarlas de acuerdo en la etapa que se encuentra el prototipo, la información más detallada se muestra en los artículos [15] y [17].

En los artículos [18-20] se ilustra la curva de la bañera como una introducción al texto; después se muestran en una tabla los componentes del prototipo que se sometieron a las pruebas HALT, además de hacer una comparación con la prueba ALT (debido a los objetivos de cada prueba no dependen una de la otra, sino que ALT se realiza para evidenciar si aún se cumple con los límites encontrados durante las pruebas HALT).

En [21], se explica una secuencia de 4 pasos que se utilizó en las pruebas HALT. Además de explicar la manera en que operaron la cámara ambiental para desarrollar de forma eficiente las pruebas, realizaron una tabla que mostraba los componentes que alcanzaron el límite de destrucción; en el caso de la temperatura establecieron un límite superior de 175°C y un límite inferior de -150°C. Cabe destacar que los límites de destrucción están relacionados directamente con el tipo de material con el cual se encuentra constituido.

En los artículos [22-24], se muestra una definición eficiente de la secuencia HALT; además, se explica por medio de tablas los resultados experimentales y de simulación, las gráficas que se muestran en los artículos son evidencia de resultados satisfactorios, que se logra eligiendo una secuencia que recabe la mayor cantidad de información antes de que el prototipo alcance el límite superior o inferior de operación.

En los artículos [25-28], presentan un análisis estadístico de HALT con el fin de estudiar la robustez de un producto y estimar los parámetros de las leyes normales asociadas con los límites operativos y de destrucción de un producto. HALT es, en gran medida, una "caja negra", es decir, una metodología que puede percibirse en términos de sus entradas y salidas sin un conocimiento claro de la física subyacente y la probabilidad de fallas [29]. Si el tiempo de vida en la ecuación de Arrhenius se interpreta como el tiempo medio hasta el fallo (MTTF) y si se supone que el parámetro único se lleva a cabo mediante la ley exponencial o la confiabilidad [30].

Los cambios de producto pueden traer cambios aceptables en los límites, si se entienden. Sin embargo, siempre es importante basar sus decisiones en un análisis de fallas completo y una comprensión profunda del impacto del cambio. Es importante recordar que una prueba HALT de verificación es una herramienta útil al considerar estos cambios [31].

La Figura 2.5 presenta los ciclos de fallas con la distribución Weibull correspondientes a dos empaques para circuitos integrados: el QFN68-10 (área de 10 mm<sup>2</sup>, 0,5 mm de distancia entre pines), y el QFN14-44 (5 a 7 mm<sup>2</sup>, 0,5 a 0,8 mm). El QFN68-10 mostró menos ciclos térmicos hasta la falla [32].

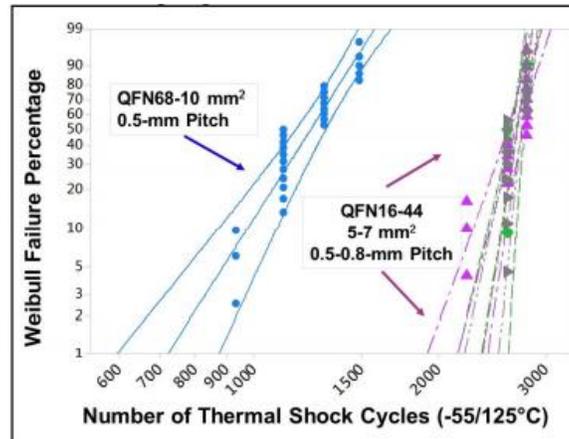


Figura 2.5. Perfiles de un ciclo de choque térmico representativo (55/125 ° C (abajo) y cámara con muestras de tipo A y B [32].

En los artículos [33-35] se muestran los datos obtenidos en una tabla de las pruebas HALT; además, demuestran que se pueden obtener estimaciones puntuales del tiempo medio hasta el primer fallo (MTTF, o simplificado como MTTF) de la vida útil en lugar de MTBF, y la estimación de intervalo de los parámetros.

En los artículos [36-39] se explican, de manera estructurada, los pasos de la prueba HALT; es decir, desde el fundamento matemático que es la ecuación de Arrhenius y la clasificación de datos estadísticos de las pruebas, además de la selección de los límites superior e inferior de operación. Después, de manera experimental, se establecen los límites superior e inferior de destrucción del prototipo o equipo.

En conclusión, la planificación HALT generalmente comienza con un plan de diseño de pruebas basado en la norma IEC 62506, y se analiza si solo se caracterizarán ciertos componentes del producto. El plan debe incluir secuencias en aumento mediante un valor de 10 por escalón de prueba, ídem para las secuencias en disminución. Es eficiente desarrollar una prueba funcional HALT para verificar el funcionamiento correcto del mayor número posible de elementos de un circuito, prototipo o equipo (algunos autores estiman que mediante HALT es posible identificar aproximadamente el 85% de los posibles fallos de campo).

Es importante establecer que HALT no está diseñado para detectar problemas de abuso o uso indebido por parte del usuario y, por lo general, no identifica modos de falla por desgaste, si no que está diseñado para hacer más robusto al ítem identificando el eslabón causante de una falla

paramétrica o catastrófica, según sea el caso, y detectar debilidades del prototipo. Sin embargo, cabe destacar que aplicar medidas correctivas no es parte de los objetivos de las pruebas HALT.

### 3 MARCO TEÓRICO

---

#### 3.1 MODELO DE ARRHENIUS PARA EFECTOS TÉRMICOS

La relación de Arrhenius es muy utilizada cuando la variable de aceleración en las pruebas es la temperatura. Se han encontrado aplicaciones de esta relación en las pruebas con aislantes dieléctricos, semiconductores, baterías, lubricantes, plásticos y lámparas incandescentes, entre otros. La forma general de esta relación es:

$$t_p = A e^{(-Ea/T)} \quad (3.1)$$

Donde:

A: Frecuencia de las colisiones entre las moléculas del reactivo

T: Temperatura en K

Ea: Energía de activación en eV

Para linealizar la ecuación (3.1) y así conocer sus constantes  $A$  y  $c$ , se toman logaritmos en los dos miembros de la ecuación, quedando entonces como se muestra en la ecuación (3.2). [40]

$$\ln(tp) = (c/T) + \ln(A) \quad (3.2)$$

Las constantes  $A$  y  $c$  se calculan por el método de regresión lineal a partir de los datos de las pruebas de vida acelerada. Este modelo es muy utilizado, sobre todo en el sector eléctrico en donde muchos de los componentes tienden a fallar debido al aumento de la temperatura.

#### 3.2 MODELO DE PECK PARA EL EFECTO DE HUMEDAD

El efecto de la humedad en dispositivos electrónicos lo modeló Peck a través de una serie de pruebas a circuitos integrados. De acuerdo a sus resultados, el efecto se puede modelar mediante la ecuación 3.3.

$$\tau(T, RH) = \frac{A}{RH^n} e^{\frac{Ea}{KT}} \quad (3.3)$$

Donde:

A: Frecuencia de las colisiones entre las moléculas del reactivo

RH: humedad relativa en %.

$n$ : constante que depende del material

$T$ : temperatura en K

$E_a$ : energía de activación en eV

En las pruebas que reportó, Peck incluyó una comparación con otros modelos, demostrando que el suyo presenta un mejor coeficiente de correlación. Peck realizó ensayos sobre encapsulados de resina epóxica, con temperaturas entre 85 °C y 150 °C y humedades relativas entre 85% y 100%, obteniendo valores para  $n$  entre 2,5 y 3. Para las energías de activación obtiene valores comprendidos entre 0,77 y 0,81 eV [40].

### 3.3 COMPONENTES DEL PROTOTIPO (CONVERTIDOR ELEVADOR) A UTILIZAR

#### 3.3.1 MOSFET

El transistor de efecto de campo tipo Metal-Óxido-Semiconductor, comúnmente denominado MOSFET, se controla por medio del voltaje que se aplica en la terminal de compuerta, de manera que solamente demanda una corriente de entrada mínima; además, la velocidad de conmutación es muy alta, con tiempos en el orden de los nanosegundos. Por estas razones, los MOSFET de potencia se utilizan en convertidores tanto de alta frecuencia como de baja frecuencia. Una ventaja adicional es que no exhiben el fenómeno de segunda ruptura, lo que sí ocurre con los transistores bipolares. Sin embargo, los MOSFET son sensibles a descargas electrostáticas; en consecuencia, su manejo requiere de cuidados especiales. Además, debe destacarse que es relativamente difícil protegerlos ante condiciones de falla por corto circuito.

Los MOSFET son de dos tipos: de agotamiento, o de enriquecimiento. Un MOSFET tipo agotamiento de canal  $n$  se forma a través de un substrato de silicio de tipo  $p$ , como se muestra en la Figura 3.1a, con dos islas de silicio  $n^+$  altamente dopadas para tener conexiones de baja resistencia. Entre la compuerta y el canal se encuentra una capa de óxido de silicio, el cual es un material aislante. Las tres terminales se conocen como compuerta, drenaje y fuente; por lo general, el substrato se conecta a la fuente.

El voltaje de compuerta a fuente,  $V_{GS}$ , puede ser positivo o negativo. Si  $V_{GS}$  es negativo, algunos de los electrones del área del canal  $n$  serán repelidos y se originará una región de agotamiento por debajo de la capa de óxido, que resultará en un canal efectivo más estrecho y en una alta resistencia de drenaje a fuente  $R_{DS}$ . Si  $V_{GS}$  se hace suficientemente negativo no habrá electrones libres bajo el área de la compuerta, por lo que se dice que el canal está totalmente agotado; presentará un alto valor  $R_{DS}$ , y no habrá flujo de corriente de drenaje a fuente,  $I_{DS}=0$ . Cuando esto ocurre, el valor de  $V_{GS}$  se conoce como voltaje de estrangulamiento,  $V_p$ . Por otra parte, cuando  $V_{GS}$  se hace positivo se atraen electrones al área bajo la compuerta, el canal se ensancha e  $I_{DS}$  aumenta debido a la reducción en  $R_{DS}$ . Con un MOSFET tipo agotamiento de canal  $p$ , se invierten las polaridades de  $V_{DS}$ ,  $I_{DS}$  y  $V_{GS}$  [41, p.280].

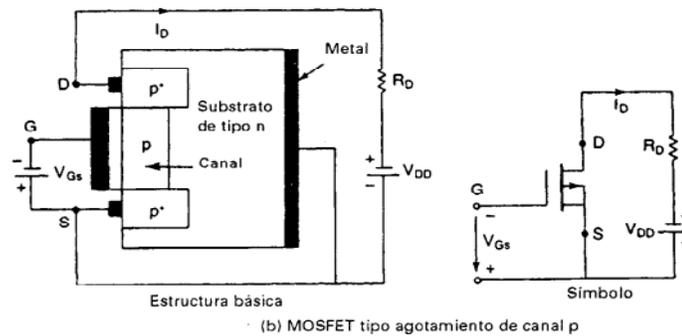
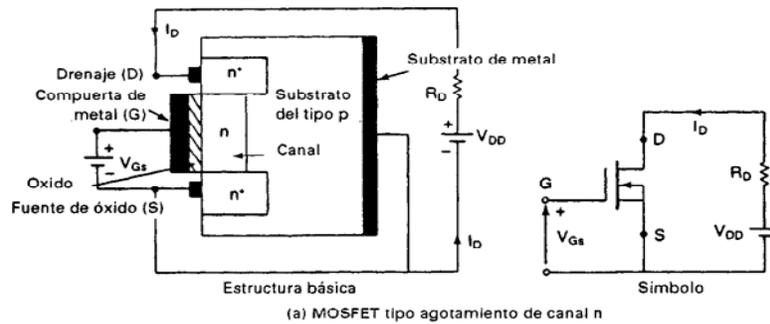


Figura 3.1. Tipo de agotamiento de un MOSFET [41, p.280]

Un MOSFET tipo de enriquecimiento de canal  $n$  no tiene un canal físico, tal y como se ilustra en la Figura 3.2. Si  $V_{GS}$  es positivo, el voltaje aplicado atraerá los electrones del sustrato  $p$ , los que se acumularán en la superficie por debajo de la capa de óxido. Si  $V_{GS}$  supera el valor conocido como voltaje de umbral,  $V_T$ , se acumularán electrones en cantidad suficiente para formar un canal virtual  $n$  y la corriente fluirá del drenaje a la fuente. Si se refiere a un MOSFET tipo enriquecimiento de canal  $p$ , las polaridades de  $V_{DS}$ ,  $I_{DS}$  y  $V_{GS}$  se invierten [41, p.280].

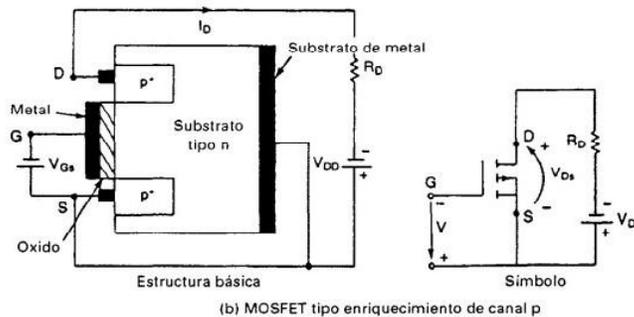
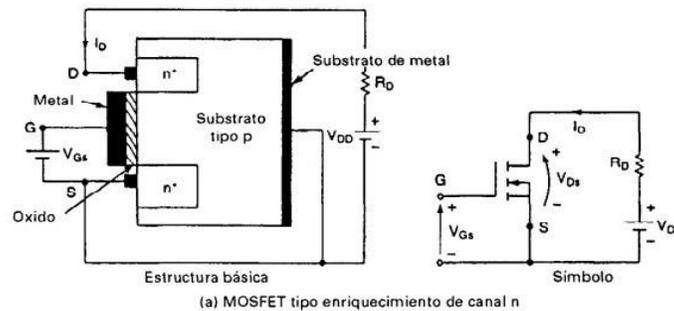


Figura 3.2. Tipo de enriquecimiento de un MOSFET [41, p.280]

### 3.3.2 Diodo

Los diodos son probablemente los componentes más utilizados en los circuitos electrónicos de potencia. Un diodo actúa como un interruptor y puede llevar a cabo diferentes funciones; por ejemplo: de interruptores en los rectificadores, de carrera libre en los reguladores conmutados, inversión de carga de capacitores y transferencia de energía entre componentes, aislamiento de voltaje, retroalimentación de la energía de la carga a la fuente de poder, etc.

Un diodo es un dispositivo formado por una unión p-n, y con dos terminales; por lo general, una unión p-n puede formarse por medio de procesos de aleación, difusión y crecimiento epitaxial. Las técnicas modernas de control en los procesos de difusión y epitaxiales permiten obtener las características deseadas para el dispositivo. En la Figura 3.3 aparece un corte transversal de una unión p-n y el símbolo de un diodo.

Cuando el potencial del ánodo es positivo con respecto al cátodo, se dice que el diodo tiene polarización directa o positiva y el diodo conduce. Un diodo en conducción tiene una caída de voltaje directa relativamente pequeña entre sus terminales, cuya magnitud depende principalmente del proceso de manufactura y de la temperatura de unión. Cuando el potencial del cátodo es positivo con respecto al ánodo, el diodo está polarizado inversamente. Bajo estas condiciones fluye una corriente inversa muy pequeña (conocida como corriente de fuga) del orden de los micros o los miliamperios. Si el voltaje inverso aumenta en magnitud, eventualmente se producen los fenómenos de avalancha o Zener, dependiendo de la fabricación del dispositivo; cuando esto ocurre, fluye una corriente inversa a través del dispositivo.

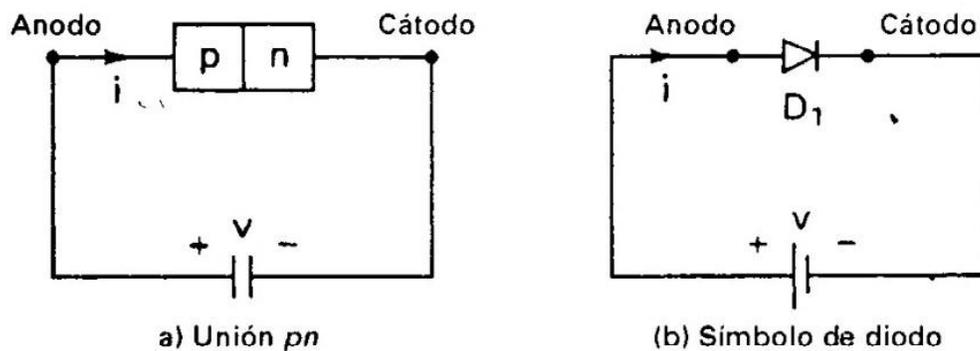


Figura 3.3. Símbolo del diodo y unión PN [41, p.20]

En la Figura 3.4a se muestran las características v-i de un diodo en régimen permanente. Para fines prácticos, suele considerarse al diodo como un interruptor ideal, cuyas características se muestran en la Figura 3.4b. Las características V-I de la Figura 3.3a se pueden expresar con la ecuación *Schockley* del diodo, como sigue:

$$I_D = I_S(e^{V_D/nV_D} - 1) \quad (3.4)$$

En la ecuación anterior:

$I_D$  = corriente a través del diodo, A

$V_D$  = voltaje del diodo con el ánodo positivo con respecto al cátodo, V

$I_s$  = Corriente de fuga (o corriente de saturación inversa), típicamente comprendida entre  $10^{-6}$  y  $10^{-15}$  A.

$n$  = constante empírica conocida como *coeficiente de emisión o factor de idealidad*, cuyo valor entre 1 y 2.

El coeficiente de emisión  $n$  depende directamente del material y de la construcción física del diodo. En el caso de germanio,  $n$  se considera igual a 1. A los diodos de silicio se asigna el valor  $n = 2$ ; en la práctica, en la mayor parte de los diodos de silicio reales, el valor  $n$  cae entre 1.1 y 1.8.

$V_T$  es una constante llamada *voltaje térmico* está dada por:

$$V_T = \frac{kT}{q} \quad (3.5)$$

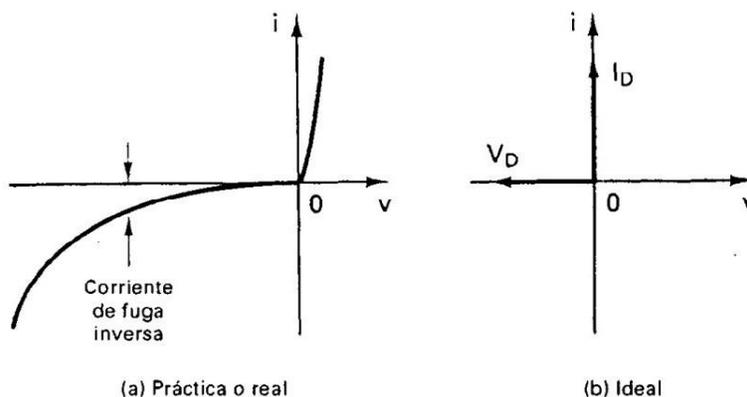


Figura 3.4. Características v-i del diodo [41, p.20]

Donde:

$q$  = carga del electrón:  $1.6022 \times 10^{-19}$  coulombs (C)

$T$  = temperatura absoluta en grados kelvin

$k$  = constante de Boltzmann:  $1.3806 \times 10^{-23}$  J/K

A una temperatura de unión de 25°C, la ecuación (3.5) da como resultado:

$$V_T = \frac{kT}{q} = \frac{1.3806 \times 10^{-23} \times (273 + 25)}{1.6022 \times 10^{-19}} \approx 25.8 \text{ mV}$$

A una temperatura específica, para un diodo dado la corriente de fuga  $I_s$  es una constante. La característica del diodo de la Figura 3.4a se puede dividir en tres regiones:

- Región de polarización directa, donde  $V_D > 0$
- Región de polarización inversa, donde  $V_D < 0$
- Región de ruptura, con  $V_D < -V_{zk}$

Región de polarización directa: En la región directa,  $V_D > 0$ . La corriente del diodo  $I_D$  es muy pequeña solo si el voltaje  $V_D$  es menor que un valor específico  $V_{TD}$  (típicamente 0.7 V). El diodo conduce totalmente si  $V_D$  es mayor que este valor  $V_{TD}$ , que se conoce como el *voltaje umbral*, *voltaje de corte o voltaje de activación*. Por ende, el voltaje umbral es un voltaje al cual el diodo conduce totalmente. Considérense un voltaje de diodo reducido  $V_D=0.1$  V,  $n=1$  y  $V_T = 25.8$  mV. De la ecuación (3.4) se puede encontrar que la corriente correspondiente al diodo  $I_D$  es:

$$I_D = I_S(e^{V_D/nV_D} - 1) = I_S(e^{0.1/(1 \times 0.0258)} - 1) = I_S(48.23 - 1) \\ \approx 48.23 I_S, \text{ con } 2.1 \% \text{ de error}$$

Por lo tanto, para  $V_D > 0.1$  V, que es por lo general el caso, se tiene que  $I_D \gg I_S$ , y la ecuación (3.4) se puede aproximar, dentro de un error de 2.1 %, a:

$$I_D = I_S(e^{V_D/nV_D} - 1) \approx I_S e^{V_D/(nV_D)}$$

Región de polarización inversa. En la región de polarización inversa,  $V_D < 0$ . Si  $V_D$  es negativo y  $|V_D| \gg V_T$ , situación que ocurre para  $V_D < -0.1$ , el término de la exponencial de la ecuación (3.4) se vuelve despreciablemente mínimo en comparación con la unidad, y la corriente del diodo

$I_D$  se vuelve:

$$I_D = I_S(e^{-|V_D|/nV_D} - 1) \approx -I_S$$

lo que indica que la corriente del diodo  $I_D$  en la dirección inversa es constante y es igual a  $I_S$ .

Región de ruptura. En la región de ruptura, el voltaje inverso es alto, pudiendo ser mayor que 1000 V. La magnitud del voltaje inverso excede un voltaje especificado conocido como *voltaje de ruptura*,  $V_{BR}$ . La corriente inversa aumenta rápidamente con un pequeño cambio en el voltaje inverso más allá de  $V_{BR}$ . La operación en la región de ruptura no será destructiva, solo si la disipación de la potencia está dentro del “nivel seguro” especificado en la hoja de datos del fabricante. Normalmente es necesario limitar la corriente inversa en la región de la ruptura, esto para mantener la disipación de la energía dentro de valores permisibles [41, p.20].

### 3.3.3 TL494CN

El TL494CN se usa como circuito de control - regulador de conmutación del PWM. El dispositivo mencionado recibe una alimentación de 5 V, e incluye dos circuitos amplificadores de error, un flip-flop, una salida de circuito de control, un comparador PWM, un comparador de tiempo muerto y un oscilador. Este dispositivo puede operar a una frecuencia de conmutación comprendida entre 1 kHz y 300 kHz. El diagrama a bloque se muestra en la figura 3.5, y la distribución de las terminales se ilustra en la figura 3.6.

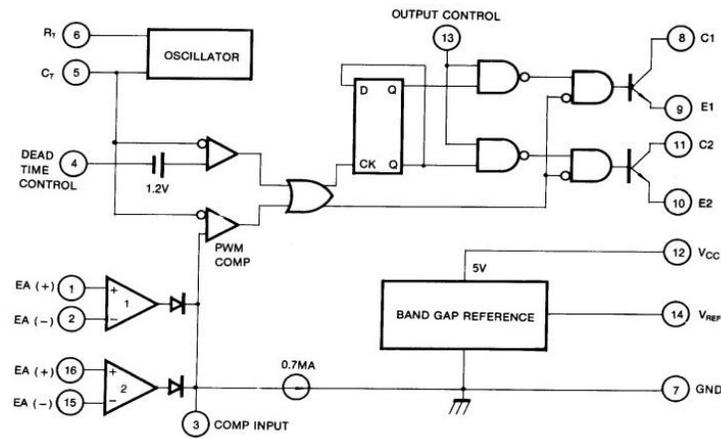


Figura 3.5. Diagrama a bloques interno del TL494CN [42]

- Circuito completo de control de modulación de ancho de pulso.
- Oscilador en chip con funcionamiento maestro o esclavo.
- Amplificador de error en chip.
- Referencia de 5,0 V en chip.
- Control de tiempo muerto ajustable.
- Transistores de salida no comprometidos clasificados para fuente o sumidero de 500 mA.
- Control de salida para operación Push-Pull o Single-Ended.
- Bloqueo por bajo voltaje.
- Prefijo NCV para aplicaciones automotrices y otras que requieren cambios de sitio y control.

Tabla 3.1. Condiciones de operación recomendadas [42]

Características	Simbolo	Mínimo	Nominal	Máximo	Unidad
Voltaje de alimentación	$V_{cc}$	7.0	15	40	V
Voltaje de salida del colector	$V_{c1}, V_{c2}$	-----	30	40	V
Corriente de salida del colector (cada transistor)	$I_{c1}, I_{c2}$	-----	----	200	mA
Voltaje de entrada amplificado	$V_{in}$	-0.3	----	$V_{cc} - 2.0$	V
Corriente en terminal de retroalimentación	$I_{fb}$	----	----	0.3	mA

Características	Simbolo	Mínimo	Nominal	Máximo	Unidad
Corriente de salida de referencia	$I_{ref}$	----	----	10	mA
Resistencia de temporización	$R_T$	1.8	30	500	k $\Omega$
Capacitor de temporización	$C_T$	0.0047	0.001	10	$\mu$ F
Frecuencia del oscilador	$f_{osc}$	1.0	40	200	khz

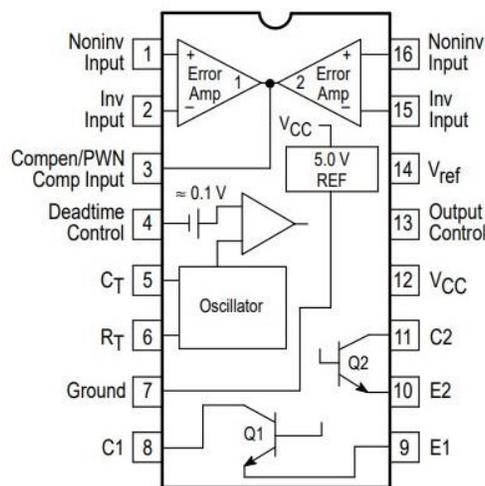


Figura 3.6. Terminales del TL494CN [42]

### 3.3.4 MIC4420YN

El MIC4420 es un impulsor de compuerta. Tiene una capacidad de salida de 6 A (pico) y pueden accionar los MOSFET más grandes con un margen operativo adecuado. Acepta cualquier entrada lógica de 2,4 V a  $V_s$  sin necesidad de condensadores de aceleración externos ni redes de resistencias. La circuitería interna permite que la entrada oscile negativamente hasta niveles de  $-5$  V sin que el circuito resulte dañado. Además, puede reemplazar tres o más componentes discretos, reduciendo los requisitos de área de PCB, simplificando el diseño del convertidor y reduciendo el costo de ensamblaje [43].

Características:

- Construcción CMOS
- Protegido con enclavamiento: Soportará  $>500$  mA de corriente de salida inversa
- La entrada lógica soporta una oscilación negativa de hasta  $-5$  V
- Tiempos de subida y bajada coincidentes ..... 25 ns
- Corriente de salida de pico alto ..... 6 A
- Amplio Rango Operativo ..... 4.5 V a 18 V
- Unidad de carga de alta capacitancia ..... 10,000 pF
- Tiempo de retardo reducido ..... 55 ns
- Nivel lógico alto ..... entre 2,4 V y  $V_s$
- Capacitancia de entrada equivalente reducida ..... 6 pF
- Corriente de suministro reducida ..... 450  $\mu$ A con entrada lógica 1
- Impedancia de salida baja ..... 2,5  $\Omega$
- Oscilación de voltaje de salida ..... dentro de 25 mV de tierra o  $V_s$

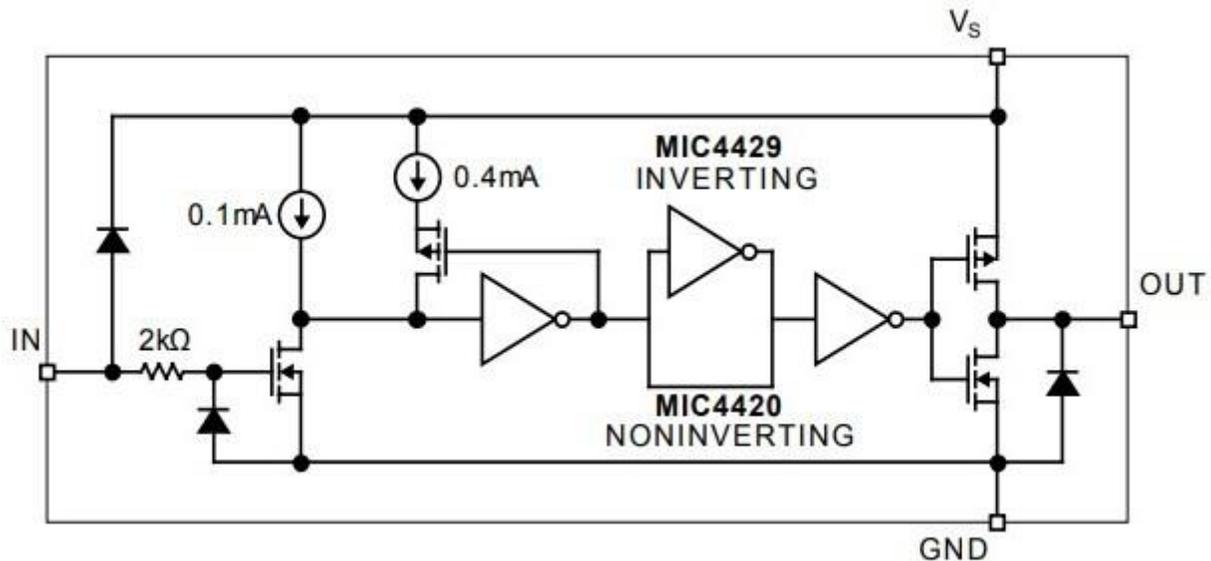


Figura 3.7. Esquemático del MIC4420YN [43]

### **3.4 FALLA PARAMÉTRICA**

Es una falla no catastrófica que puede cuantificarse mediante el monitoreo de variables tales como frecuencia de conmutación y ciclo de trabajo (la selección de variables a monitorear depende de los objetivos de la prueba). Durante una prueba acelerada, para cada variable se establece un valor distinto para un punto máximo superior e inferior como un margen operativo; cuando el valor no se encuentra dentro del intervalo comprendido entre los límites inferior y superior, se infiere que existe una falla paramétrica.

### **3.5 FALLA REVERSIBLE**

Una falla reversible se observa cuando, al variar la magnitud de los factores de esfuerzo (temperatura y humedad), las variables superan el intervalo entre los límites inferior y superior operativos del prototipo (pero sin superar los límites de destrucción). Aunque el producto continuará funcionando dentro de los límites operativos, es probable que no se satisfaga algún aspecto de las especificaciones; sin embargo, el prototipo recobrará su completa funcionalidad al retornar a las magnitudes comprendidas en el intervalo definido por el límite inferior de la especificación y el límite superior de la especificación.

### **3.6 HUMEDAD RELATIVA (HR)**

Es la medida del contenido de vapor de agua presente en el aire, expresada como un porcentaje de la cantidad necesaria para lograr la saturación a esa temperatura. Es relevante mencionar que la humedad relativa es fuertemente proporcional a la temperatura y altamente sensible a sus cambios.

### **3.7 TIEMPO DE SATURACIÓN DE HUMEDAD**

Es el tiempo necesario para saturar de humedad a un componente. Para paquetes más convencionales (y más voluminosos), como los QFP, el tiempo de saturación es más tardado en comparación con los empaques de tecnologías nuevas (HVQFN). En estos últimos la saturación puede ser extremadamente rápida (pocas horas).

## 4 ESTUDIO TEÓRICO DETALLADO DEL IMPACTO DE LA HUMEDAD EN ENSAMBLES ELECTRÓNICOS

El uso de convertidores electrónicos de potencia se ha incrementado gradualmente en diversas aplicaciones, incluidas las energías renovables, la industria aeroespacial y los sistemas de propulsión marinos; en ellas, el fallo de los componentes electrónicos de potencia puede reducir la confiabilidad de los sistemas convertidores de potencia.

La Figura 4.1 ilustra la clasificación de los principales fallos de los sistemas de convertidores de potencia en dos aplicaciones. Se evidencia que las partes más vulnerables son los dispositivos semiconductores de potencia y los capacitores. Para optimizar la confiabilidad a nivel del sistema, el primer paso es garantizar el estado óptimo de los componentes; un ejemplo es la temperatura de unión de un IGBT, la cual es un parámetro crucial necesario para realizar la gestión térmica activa y la predicción de la vida útil de un convertidor de potencia [44].

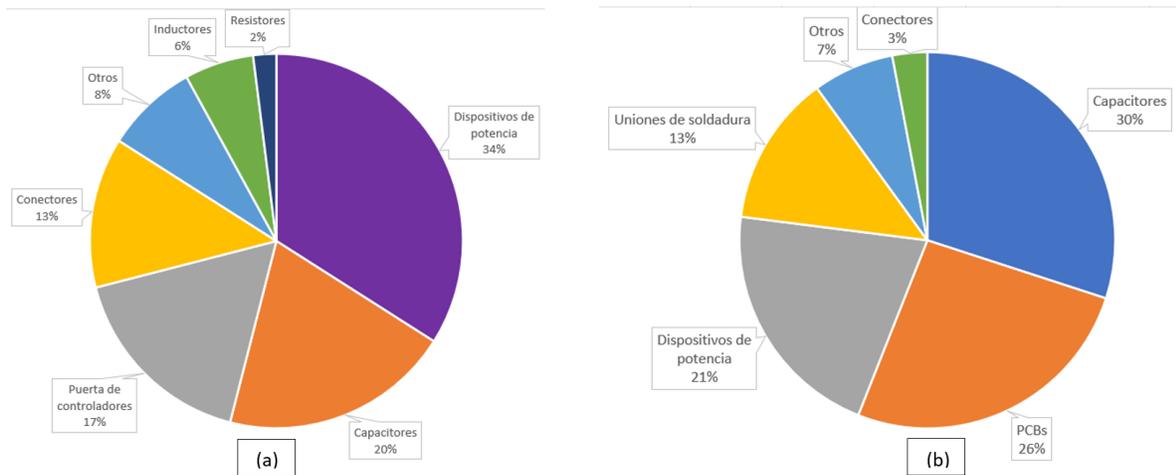


Figura 4.1. Distribución de fallos de los componentes en sistemas electrónicos de potencia. (a) Convertidores electrónicos de potencia industrial. (b) Accionamientos para motor de inducción [44]

La expresión genérica para calcular la temperatura de unión  $T_j$  del módulo de potencia es:

$$T_j = (P_{avg} Z_{th}) + T_c \quad (4.1)$$

donde  $P_{avg}$  es la pérdida de potencia promedio,  $Z_{th}$  es la impedancia térmica transitoria y  $T_c$  es la temperatura de la carcasa del módulo. La pérdida de potencia promedio  $P_{avg}$  se expresa como:

$$P_{avg} = f_{sw}(E_{swon} + (i_c v_{ce,on} t_{con}) + E_{swoff}) \quad (4.2)$$

y donde  $f_{sw}$  es la frecuencia de conmutación;  $E_{swon}$  y  $E_{swoff}$  son las energías en el encendido y en el apagado;  $i_c$ ,  $v_{ce,on}$  y  $t_{con}$  son la corriente, el voltaje y el tiempo de conducción del dispositivo, respectivamente.

Si la temperatura se estima usando la impedancia térmica y la pérdida de potencia promedio, el error entre la temperatura media y la estimada suele ser significativo. Lo anterior se debe a que la

impedancia térmica no es un parámetro constante; por el contrario, cambia con el ancho de pulso de conmutación y, por lo tanto, también depende de la modulación.

## 4.1 ESTUDIO DEL EFECTO DE LA HUMEDAD EN LOS EMPAQUES PLÁSTICOS.

### 4.1.1 Comportamiento de la humedad en función de la temperatura

Usualmente se identifica a la temperatura como el efecto más nocivo para los aparatos electrónicos; en fechas recientes, especialmente a partir de la proliferación de aparatos portátiles, la vibración ocupa el segundo lugar como factor de riesgo en la percepción popular. Sin embargo, es importante mencionar que en la práctica la humedad es un factor que contribuye en buena medida a la degradación de elementos y componentes eléctricos y electrónicos. Se intuye que la falta de interés se deba, por un lado, a que los efectos de la humedad suelen desarrollarse en lapsos prolongados; por otro lado, algunas sustancias se identifican como perfectamente impermeables, cuando en la práctica son total o parcialmente higroscópicos.

Un ejemplo relevante es el caso de los materiales que se emplean para encapsular circuitos integrados, transistores y capacitores. La absorción de humedad en materiales higroscópicos se rige por la ley de Fick. Los resultados experimentales muestran que la absorción es fuertemente dependiente de la temperatura, como se ilustra en la Figura 4.2. Al principio, la absorción sigue una respuesta de primer orden y, eventualmente, llega a un valor de saturación. El valor de saturación depende de la temperatura, aunque no de manera lineal [45]. Además, el tiempo para alcanzar la saturación depende de las dimensiones del material; como se ilustra en la Figura 4.3, hay diferencias superiores a un orden de magnitud.

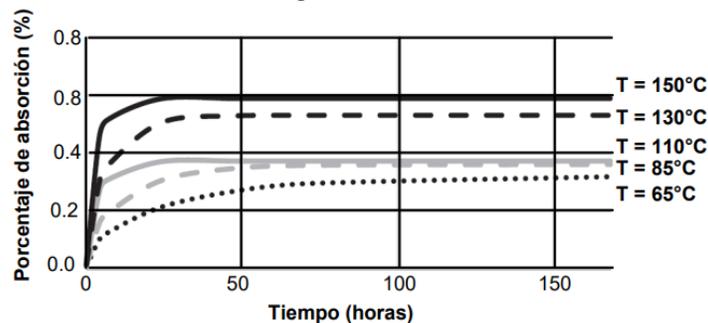


Figura 4.2. Comportamiento de la absorción de humedad en función de la temperatura, en una muestra de material epóxico [45]

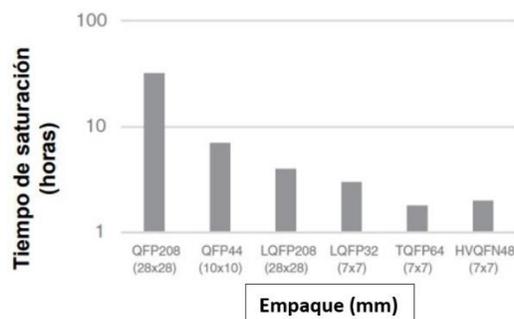


Figura 4.3. Tiempo transcurrido a la saturación, a  $T = 130^{\circ}\text{C}$  [45]

Esto tiene implicaciones importantes en ensambles en los que se mezclan dispositivos de dimensiones reducidas, como los circuitos integrados, y dispositivos voluminosos, como transistores y diodos de potencia. Esto sugiere que, en un proceso de pruebas aceleradas, serán los componentes pequeños (en cuanto a volumen) los primeros en fallar.

Los compuestos que se usan en la industria para encapsular componentes electrónicos son sustancias complejas, que a su vez pueden estar conformadas mediante ocho o diez sustancias diferentes (resina epóxica, endurecedor, catalizador para acelerar el proceso de curado, retardante de flama, colorante, etc.). Además, en cada una de ellas es posible que haya variantes, según las preferencias del fabricante (por ejemplo, para acelerar el proceso de curado se han usado más de cien sustancias químicas diferentes [46]). Esto sugiere que un cambio de proveedor muy probablemente se reflejará como una modificación en la vida útil del ensamble en el que figura el elemento particular que se sustituyó, aunque tenga la misma matrícula que la original.

Lo anterior se ilustra con los resultados que se obtuvieron experimentalmente con ocho materiales distintos y que se muestran en la Tabla 4.1 (los materiales se listan con los nombres comerciales). La implicación es que en el reporte de resultados de las pruebas de límite aceleradas deberá especificarse tanto la matrícula de los componentes como los fabricantes correspondientes [46].

Tabla 4.1. Absorción de humedad en compuestos para encapsulado [46]

Compuesto	Promedio	Intervalo
Plaskon 1	0.35	0.31-0.38
Plaskon 2	0.31	0.25-0.36
Dexter 1	0.21	0.18-0.26
Dexter 2	0.34	0.30-0.41
Dexter 3	0.37	0.31-0.39
Nitto-Denko 2	0.33	0.29-0.38
Nitto-Denko 4	0.43	0.36-0.45
Nitto-Denko 6	0.23	0.17-0.28
Nitto-Denko 8	0.34	0.28-0.41

Para demostrar esto, en [47] se describe cómo se sometieron a pruebas de temperatura y humedad dos capacitores de características eléctricas similares ( $C = 0.47 \mu\text{F}$ ,  $V_{\text{RMS}} = 305 \text{ V}$ ), pero con diferencias en la resina epóxica empleada para encapsularlos. Los resultados se ilustran en la Figura 4.4. La densidad de la resina empleada en la muestra B es superior a la utilizada en la muestra A, en esta última con menor densidad. Debido a la mayor densidad, el proceso de corrosión es más lento en la muestra B lo cual implique que, para condiciones ambientales similares, exhibirá una disminución menor en la capacitancia.

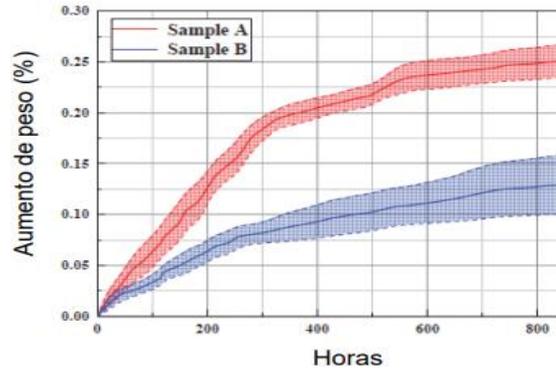


Figura 4.4. Comportamiento del aumento de peso en función del tiempo bajo prueba [47]

## 4.2 DEGRADACIÓN DE LOS CAPACITORES DE PELÍCULA DEBIDO AL IMPACTO DE LA HUMEDAD Y LA TEMPERATURA

### 4.2.1 Degradación de los capacitores de película de polímero metalizado con el polipropileno dieléctrico bajo la influencia de humedad y temperatura

Los capacitores de película de polímero metalizado son componentes eléctricos pasivos tan importantes en la actualidad, que se utilizan prácticamente en cualquier dispositivo y circuito electrónico. Para explorar su comportamiento, en [48] se diseñó una placa de circuito impreso (PCB) especial para exponer simultáneamente 10 capacitores a una prueba de envejecimiento acelerado con aplicación de tensión adicional. El circuito constó de terminales de PCB y resistencias en serie, para evidenciar los voltajes de prueba a los capacitores y simultáneamente la corriente, midiendo la caída de voltaje por medio de una resistencia en derivación. En el caso de C.A., la corriente está limitada por la resistencia serie equivalente del capacitor. Al aplicar un incremento gradual de C.D., solo se producen las corrientes de fuga del capacitor y la resistencia debe tener un valor alto. En ambos casos, la caída máxima de voltaje se limitó a 1 V.

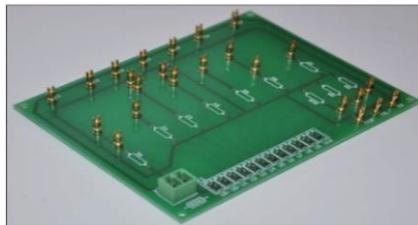


Figura 4.5. PCB para realizar la prueba de envejecimiento acelerado [48]

Las condiciones de prueba fueron de acuerdo a la prueba de temperatura y humedad (THB) descrita en el estándar JESD22-A101 con 85% de humedad relativa, 85 °C de temperatura y una duración

de prueba de 1,000 horas. Todos los capacitores fueron componentes estándar y se seleccionaron al azar entre diversos distribuidores. El principal criterio de selección consistió en que fueran de propósito general, como los capacitores clase EMC X2; se incluyó también uno tipo Y2 y, además, se añadieron tres de propósito general, en la Tabla 4.2 se muestran los capacitores utilizados, así como las características de los mismos.

Tabla 4.2. Resumen de los capacitores utilizados [48]

No.	Nombre	Capacitancia (nF)	Dieléctricos	Tipo	Nivel de prueba de C.A. (V)	Nivel de prueba de D.C (V)	Temperatura máxima de operación (°C)
1	A1	330	PP	X2	275	-	110
2	B1	1000	PP	X2	300	630	110
3	B2	220	PP	X2	275	760	105
4	B3	10	PP	-	200	400	100
5	C1	15	PET	-	200	400	105
6	D1	1	PP	X2	310	630	110
7	D2	220	PP	X2	310	630	110
8	E1	470	PP	X2	310	630	110
9	E2	470	PP	Y2	300	1500	110
10	E3	10	PP	-	200	400	100

Los resultados se muestran en la Figura 4.6. La fotografía de la izquierda muestra los resultados del envejecimiento en los encapsulados de dos capacitores. La fotografía de la derecha muestra el dieléctrico de un capacitor antes y después de la prueba; se aprecia con claridad que la metalización desapareció casi por completo, y solo en los bordes del dieléctrico persisten algunos restos de la metalización de aluminio [49]

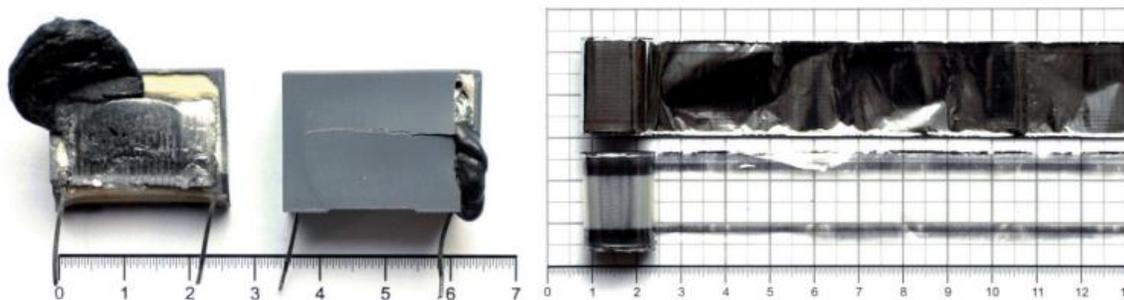


Figura 4.6. Fotografía izquierda: Encapsulados de los Capacitores B1. Fotografía derecha: dieléctrico del capacitor antes (arriba) y después (abajo) de la prueba de envejecimiento con tensión [49].

#### 4.2.2 Ensayos de degradación y análisis de fallos de capacitores de película de CC en condiciones de alta condiciones de humedad

En [50], los valores de capacitancia y ESR de las muestras se miden a 100 Hz durante el tiempo de prueba. El criterio de fin de vida útil de un capacitor se definió como el tiempo que toma llegar hasta un porcentaje específico de pérdida de capacitancia o aumento de ESR, con respecto al valor inicial antes de la prueba. La Figura 4.7 presenta las capacitancias y ESR de las muestras en tres grupos de prueba. Los 10 capacitores de cada grupo se denominan Cap 1, Cap 2... y Cap 10.

Se observa la importancia de la velocidad de la degradación, la que se acelera cuando aumenta la humedad. En cada grupo, algunos capacitores se degradan considerablemente más rápido que otros; por ejemplo, Cap 1 en el Grupo 1, Cap 7 en el Grupo 2 y Cap 6 en el Grupo 3.

Tabla 4.3. Prueba de muestras de capacitores de películas de CD metalizados [50]

Muestra	Condiciones de prueba
Grupo1 - 1100 V/40 $\mu$ f	85°C, 85% HR
Grupo2 - 1100 V/40 $\mu$ f	85°C, 70% HR
Grupo3 - 1100 V/40 $\mu$ f	85°C, 55% HR

Por lo que atañe a la ESR, los valores de todas las muestras aumentaron más de 3 veces después de aproximadamente 1000 h (en el Grupo 1), 1800 h (Grupo 2) y 2400 h (Grupo 3) de prueba. Al final de la prueba, la ESR de algunos capacitores se multiplicó por cien con respecto al valor inicial, como se muestra en las Figuras 4.7 (d) a (f).

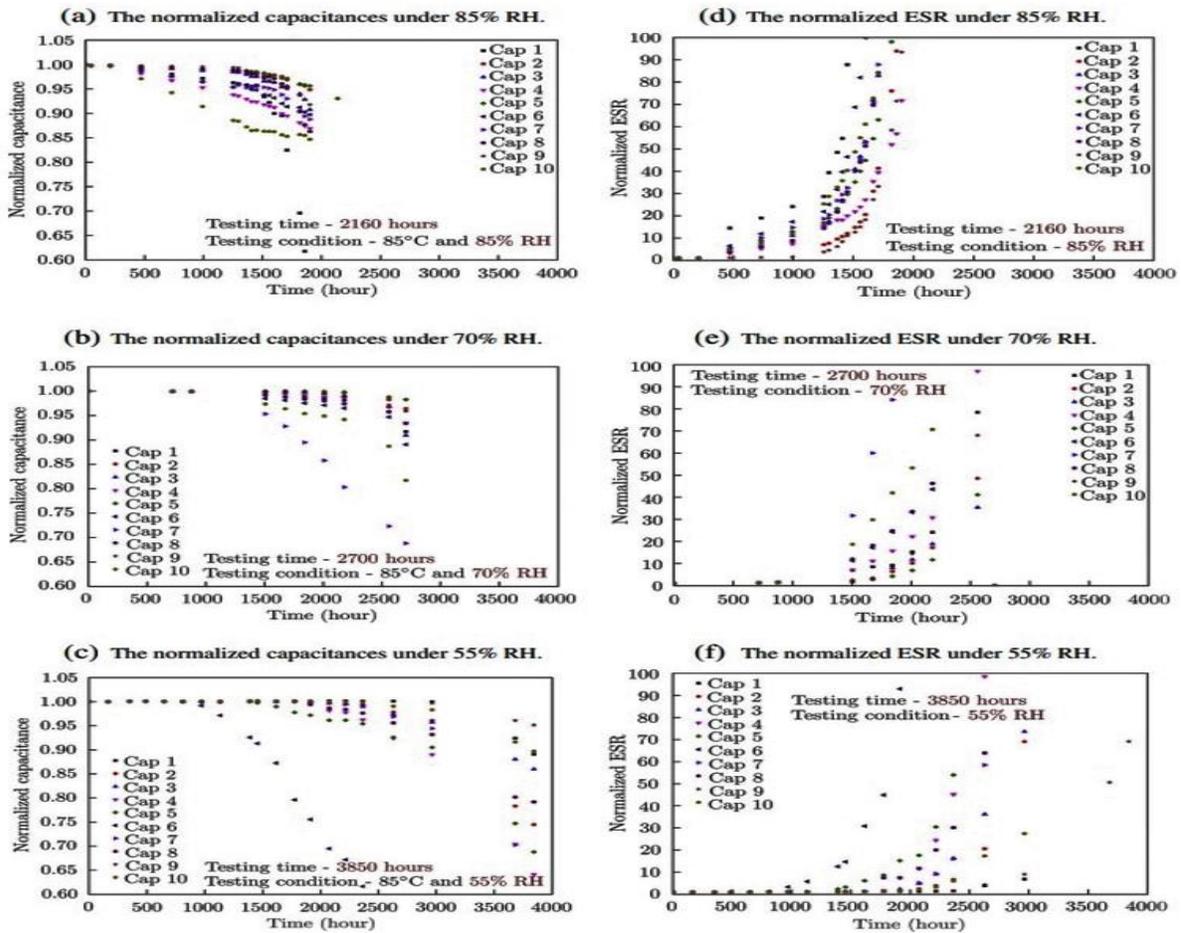


Figura 4.7. Resultados de la prueba de degradación en términos de capacitancia ESR bajo diferentes condiciones de humedad a 85 ° C (ESR - Resistencia en serie equivalente, RH - Humedad relativa) [50]

## 5 PRUEBAS RELATIVAS A HUMEDAD

### 5.1 NORMAS JEDEC RELACIONADAS CON TEMPERATURA Y HUMEDAD

El Consejo Conjunto de Ingeniería de Dispositivos Electrónicos (*JEDEC*; por sus siglas en inglés) es una organización comercial de ingeniería de semiconductores independiente y un organismo de estandarización. Su origen data en 1944, cuando la Asociación de Fabricantes de Radio (RMA) y la asociación Nacional de Fabricantes Eléctricos (NEMA) establecieron el Consejo Conjunto de Ingeniería de Tubos de Electrones (JETEC) para coordinar la numeración de los tipos de tubos de vacío; sin embargo, fue hasta 1958 cuando se denominó JEDEC. El trabajo inicial consistió en establecer un sistema de numeración para los dispositivos electrónicos; además, incluyeron una serie de métodos de prueba, JESD22 y estándares de productos. También desarrollaron una serie de especificaciones de paquetes populares para semiconductores tales como el TO-3, o el TO-5.

#### 5.1.1 JEDEC Standard JESD22-A100E: Cycled Temperature-Humidity-Bias with Surface Condensation Life Test. Noviembre 2020. (Prueba de vida con ciclos de temperatura, humedad relativa y polarización, con condensación superficial)

La prueba de vida bajo polarización<sup>1</sup> con ciclos temperatura – humedad relativa tiene como propósito evaluar la confiabilidad de empaques no herméticos de dispositivos de estado sólido, en condiciones en las cuales la condensación superficial es muy probable. Utiliza condiciones de polarización, alta humedad y ciclos de temperatura que provocan condensación en la superficie del dispositivo. En la Figura 5.1 se muestra el perfil de temperatura, con las siguientes condiciones [51]:

$$\begin{aligned} 2\text{h} < t_{ra}, t_{rd} < 4\text{h} \\ 4\text{h} < t_p < 8\text{h} \\ 90\% < \text{HR} < 98\% \end{aligned} \quad [51]$$

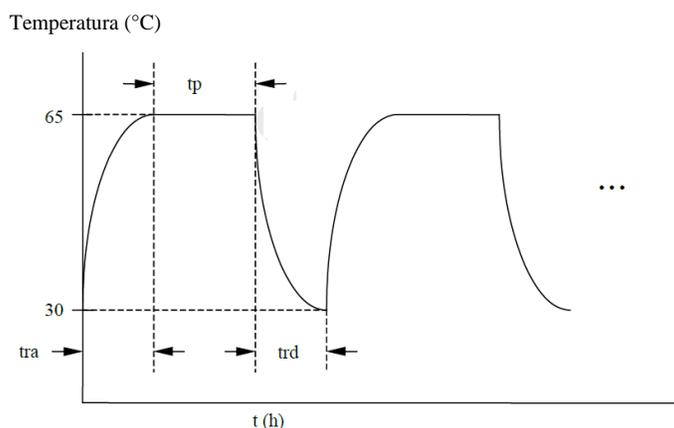


Figura 5.1. Perfil de temperaturas en prueba JESD22-A100E [51]

<sup>1</sup> Polarización = bias

La prueba es útil para determinar la susceptibilidad a la corrosión y el crecimiento de ramificaciones; la duración debe ser de 1008 (-24, +168) horas. Se declara que un dispositivo falla la prueba cuando se exceden los límites paramétricos, o si no se puede demostrar la funcionalidad bajo condiciones nominales y de peor caso.

### **5.1.2 JEDEC Standard JESD22-A101D.0: Steady-State Temperature-Humidity Bias Life Test. Enero 2021 (Prueba de vida con temperatura, humedad y polarización en régimen permanente).**

La prueba de vida bajo polarización<sup>2</sup> con temperatura de régimen permanente tiene como propósito evaluar la confiabilidad de empaques no herméticos en ambientes húmedos. Utiliza condiciones de polarización, alta humedad y ciclos de temperatura que provocan la penetración de la humedad a través del material protector externo (cápsula o sello), o a lo largo de la interfaz entre el material protector y los conductores que lo atraviesan. La prueba se desarrolla a  $85 \pm 2^\circ\text{C}$ , con una humedad relativa de  $85 \pm 5 \%$ , durante  $1000 + 168/-24$  horas [52].

Por lo que se refiere a la polarización, puede seleccionarse una de dos alternativas, dependiendo de cual representa el mayor esfuerzo sobre los componentes:

- a) Polarización continua, si la temperatura de junta  $T_J$  del DUT<sup>3</sup> no está más de  $10^\circ\text{C}$  por arriba de la temperatura ambiente.
- b) Polarización cíclica, si la temperatura de junta  $T_J$  del DUT está más de  $10^\circ\text{C}$  por arriba de la temperatura ambiente.

Para circuitos integrados encapsulados en plástico, la polarización óptima es de una hora, seguida de una hora sin polarización. Se declara que un dispositivo falla la prueba cuando se exceden los límites paramétricos, o si no se puede demostrar la funcionalidad bajo condiciones nominales y de peor caso.

### **5.1.3 JEDEC Standard JESD22-A102E: Accelerated Moisture Resistance - Unbiased Autoclave (Resistencia a la humedad acelerada – Autoclave sin polarización)**

Esta prueba se aplica a empaques nuevos o en etapa de desarrollo, en los cuales puedan ocurrir cambios en materiales o diseño. La finalidad es valorar la resistencia a la humedad de dispositivos de estado sólido en empaques no herméticos, como los encapsulados en plásticos. Para ello, las muestras se someten a una atmósfera de humedad con condensación y con alta presión, para forzar el ingreso de humedad al interior de empaque, lo que revela debilidades como delaminación o corrosión de las metalizaciones. Por su naturaleza, la prueba es destructiva y su duración típica es de 96 horas.

Se declara que un dispositivo falla la prueba cuando se exceden los límites paramétricos, o si no se

---

<sup>2</sup> Polarización = bias

<sup>3</sup> DUT = Device Under Test = dispositivo bajo prueba

puede demostrar la funcionalidad bajo condiciones nominales y de peor caso [53].

#### **5.1.4 JESD22-A110E.01: Highly Accelerated Temperature and Humidity Stress Test (HAST) (Prueba muy acelerada con esfuerzos de temperatura y humedad)**

Esta prueba tiene como objetivo evaluar la confiabilidad en ambientes húmedos de dispositivos de estado sólido en empaques no herméticos se recurre a condiciones extremas de humedad, temperatura y polarización para acelerar la penetración de la humedad a través de la cápsula, del sello, o a lo largo de la interfaz entre el material externo de protección y los conductores que lo atraviesan. Por lo general, esta prueba detona los mismos mecanismos de falla que la prueba 85/85. Prueba de vida bajo condiciones de humedad en régimen permanente (JEDEC Standard No. 22-A101) [54].

Por lo que se refiere a la polarización, puede seleccionarse una de dos alternativas, dependiendo de cual representa el mayor esfuerzo sobre los componentes:

- a) Polarización continua, si la temperatura de juntura  $T_J$  del DUT<sup>4</sup> no está más de 10°C por arriba de la temperatura ambiente.
- b) Polarización cíclica, si la temperatura de juntura  $T_J$  del DUT está más de 10°C por arriba de la temperatura ambiente.

Se declara que un dispositivo falla la prueba cuando se exceden los límites paramétricos, o si no se puede demostrar la funcionalidad bajo condiciones nominales y de peor caso.

#### **5.1.5 JESD22-A118B.01: Accelerated Moisture Resistance - Unbiased HAST (Resistencia a la humedad acelerada – HAST sin polarización)**

Esta prueba tiene como objetivo evaluar la confiabilidad en ambientes húmedos de dispositivos de estado sólido en empaques no herméticos. Se recurre a condiciones extremas de humedad y temperatura para acelerar la penetración de la humedad a través de la cápsula, del sello, o a lo largo de la interfaz entre el material externo de protección y los conductores que lo atraviesan. No se aplica polarización para asegurar que los mecanismos de falla potenciales no resultan enmascarados por la polarización (por ejemplo, corrosión galvánica). Por su naturaleza, la prueba es destructiva.

Se proponen dos condiciones de prueba, una a 130°C con duración de 96 horas, y otra a 110°C con duración de 264 horas. En ambas condiciones, la humedad es del 85±5%. Se declara que un dispositivo falla la prueba cuando se exceden los límites paramétricos, o si no se puede demostrar la funcionalidad bajo condiciones nominales y de peor caso [55].

---

<sup>4</sup> DUT = Device Under Test = dispositivo bajo prueba

### 5.1.6 JP002: Current Tin Whiskers Theory and Mitigation Practices Guideline, 2006 (Teoría actual de formación de *whiskers*, y guía de prácticas de mitigación)

La humedad ocasiona corrosión en los metales con los que se fabrican los componentes electrónicos, lo que puede dar lugar a la formación de *whiskers*, columnas monocristalinas de metal que se forman de manera espontánea y sobresalen de la superficie del sustrato. Los *whiskers* pueden causar corto circuitos en dispositivos integrados con dimensiones reducidas (tanto el crecimiento como el posible efecto dependen de los elementos que se utilicen en el integrado). En la figura 5.2 se muestra un ejemplo, extraído del documento JP002 [56].

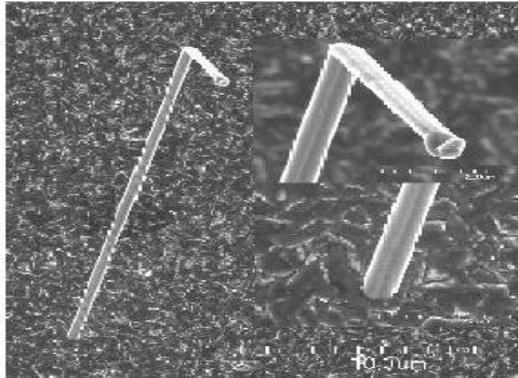


Figura 5.2. Fotografía de *whiskers*, tomada con un microscopio electrónico [56]

### 5.1.7 JESD86A: Electrical Parameters Assessment, 2020 (Verificación de parámetros eléctricos)

El plan de caracterización de los componentes debe incluir cuando menos:

- |                           |                                     |
|---------------------------|-------------------------------------|
| I. Nombre del dispositivo | IV. Criterio de ocurrencia de falla |
| II. Equipo de prueba      | V. Condiciones de prueba            |
| III. Parámetros           | VI. Tamaño de la muestra            |

Los parámetros que se prueben deben ser aquellos cuya excursión anormal pueda impactar en la calidad o confiabilidad, o bien, aquellos que son esenciales para la operación del dispositivo. En la Figura 5.3 se muestra una descripción general del procedimiento [57].



Figura 5.3. Flujo del proceso [57]

A. Selección de muestra(s) a probar. Para la determinación de la distribución eléctrica, seleccionar un conjunto aleatorio de dispositivos de una población determinada, o seleccionar dispositivos de acuerdo con el plan de caracterización que se haya establecido. El plan de selección de muestra(s) debe incluir el tamaño de la muestra y el atributo para aceptación, o el tamaño mínimo de la muestra estadísticamente significativa que se especifica en JESD 47

o el método de prueba de esfuerzo correspondiente.

Los dispositivos que se elijan deben provenir del proceso de producción y haberse fabricado con herramientas estándar de producción, con todo el procesamiento como producto que se entregará al usuario (por ejemplo, si se usa *Burn In*, prueba previa y posterior a la tensión, etc). Si se va a determinar la deriva de parámetros eléctricos en dispositivos individuales, los dispositivos deben estar serializados. Esto permitirá determinar la desviación absoluta específica del dispositivo, así como la desviación de la muestra (distribución).

B. Condiciones de la prueba. Se caracterizan los dispositivos utilizando el equipo de prueba (por ejemplo, equipo de prueba automático y manipulador) y un programa de prueba que permita tomar mediciones de las variables en cada dispositivo o grupo de dispositivos. El programa de prueba no debe modificarse durante las pruebas de estrés de calificación. Las pruebas se realizarán de acuerdo con el plan de caracterización. La exactitud y precisión del equipo de prueba será suficiente para detectar cambios en la distribución de los parámetros eléctricos aplicables.

C. Recopilación de datos. Los datos recopilados deben tabularse en un formato que permita analizar la información con facilidad. Por ejemplo, las ayudas visuales como ajustes de distribución, gráficos de barras y diagramas de caja facilitan la comprensión de los datos. Los campos de datos deben incluir parámetro, media y/o mediana, desviación estándar, valores mínimos y máximos y criterios de falla. El proveedor puede aplicar otros límites internamente. El proveedor también tiene la opción de incluir los datos detallados del dispositivo en cualquier informe al usuario; de no incluirse, los datos deben estar disponibles cuando se soliciten.

D. Evaluación de datos. Si se va a evaluar la deriva de parámetros eléctricos en dispositivos individuales, deberá llevarse a cabo la caracterización o repetir el paso anterior en puntos de lectura predeterminados después de que se complete la prueba de esfuerzo (por ejemplo, prueba de vida según JESD22-A108) en los dispositivos en consideración. Para cualquier parámetro eléctrico que no cumpla con los requisitos, el proveedor debe desarrollar planes de acción correctivos y/o preventivos para abordar la discrepancia. Posteriormente, la acción correctiva se valida mediante una nueva prueba [57].

#### **5.1.8 JESD237: Reliability Qualification of Power Amplifier Modules, 2014 (Calificación de confiabilidad de módulos amplificadores de potencia).**

Esta aplica a cambios que pueden no requerir una recalificación. A continuación, se describen los cambios que pueden no requerir una recalificación [58]:

- I. Ubicación de ensamblaje ya calificada para este paquete.

- II. El movimiento de la fabricación de productos (fabricación de obleas o ensamblaje) de un lugar a otro, siempre y cuando el nuevo lugar ya cuente con un proceso y técnicas calificadas para la fabricación de los dispositivos.
- III. La adición de equipo previamente calificado requiere únicamente de la finalización del estudio de capacidad del proceso, esto para asegurar que el equipo agregado proporcione una distribución de proceso adecuada.
- IV. Un cambio a un programa de prueba o equipo de prueba requiere únicamente una validación de conformidad acorde con las especificaciones del producto.
- V. No se consideran como cambio importante cualquier cambio en un parámetro de proceso, producto o material que no exceda el rango actual del proceso de producción específico.
- VI. Es posible que los cambios menores en la operación de la lógica del dispositivo solo requieran una verificación funcional [58].

## 6 PROTECCIÓN CONTRA HUMEDAD

---

La protección contra el ingreso de humedad en un componente se lleva a cabo por medio de barnices y recubrimientos, como se describe a continuación.

### 6.1 RECUBRIMIENTO DE CONFORMACIÓN (CONFORMAL COATING)

En esta sección se describe la clasificación de los diferentes tipos de resinas, en función de las características que se necesiten; se describen también las diferentes formas de aplicarlas. Con base a la especificación militar MIL-I-46058C, las resinas usadas como recubrimientos se pueden clasificar en cinco categorías [59]:

- Tipo AR: resina acrílica adecuada para aplicaciones de propósito general en las que se necesiten características eléctricas excelentes.
- Tipo ER: resina epóxica adecuada para aplicaciones de propósito general en las que se necesiten características eléctricas sobresalientes.
- Tipo SR resina de silicio, adecuada para aplicaciones en las que se necesiten excelente comportamiento dieléctrico y alta resistencia al arqueado eléctrico.
- Tipo UR: resina de poliuretano para aplicaciones en las que se necesiten alta resistencia a la humedad y a la abrasión.
- Tipo XY: cobertura de paraxilileno, la cual está compuesta de polímeros.

Los tipos AR y ER se pueden aplicar mediante aerosol, brocha o inmersión. La cobertura XY se aplica al vacío y permite obtener capas muy delgadas de cobertura. Los recubrimientos se han utilizado durante mucho tiempo y un reporte publicado en 1971 dedicado a aplicaciones militares los describe de la manera siguiente:

Tal como se usan en el segmento aeroespacial de la industria electrónica, los “recubrimientos de conformación” son recubrimientos que siguen la configuración de la tarjeta de circuito impreso PCB, incluyendo el contorno de todos los componentes que se sueldan sobre el PCB. El enfoque tradicional para el recubrimiento de conformación consiste en aplicar un compuesto líquido adhesivo sobre la superficie del PCB [60].

Los principales retos que surgen durante la aplicación de los recubrimientos se ilustran en la Figura 6.1; en ella aparece una resistencia (o cualquier otro elemento discreto de construcción axial) soldada sobre un circuito impreso del tipo con perforaciones metalizadas (*through-hole*). Para ser eficiente, el recubrimiento debe ser uniforme en todas las superficies del ensamble.

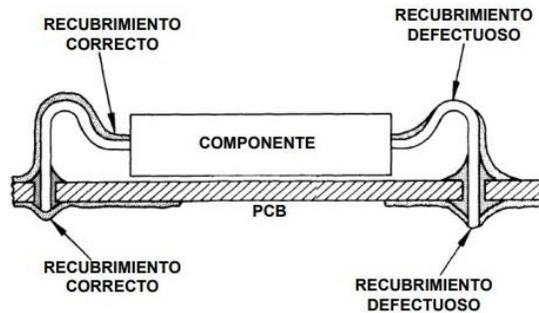


Figura 6.1. Aplicación de recubrimiento a una resistencia discreta [60]

A pesar de que la aplicación de las resinas contribuye de manera importante en la protección de los componentes a la exposición de la humedad y en la mejora de la confiabilidad de los mismos, es relevante mencionar una desventaja. Con un recubrimiento se presenta la dificultad de cómo retirarlo, ya que algunas técnicas recurren a sustancias químicas contaminantes. También es posible retirar el recubrimiento mediante el calentamiento; sin embargo, hay que tener una alta eficiencia en la regulación de la temperatura para evitar un daño a los componentes que comprometa la integridad del equipo en general.

La opción más recomendable consiste en la micro-abrasión; si bien no requiere de altas temperaturas, es importante seleccionar con cautela el material abrasivo., Una solución es emplear un abrasivo basado en almidón de trigo (se sugiere la marca *Carbo Blast*) el cual se ha probado con resultados satisfactorios en PCB, capacitores y empaques de circuitos integrados QFN (Quad Flat No-leads) [61].

Debido a que el revestimiento seguramente dificultará las tareas de reparación, se sugiere diseñar el sistema de manera que se considere al ensamble bajo una perspectiva de la confiabilidad, bajo la premisa de que se trata de sistemas (o ensambles) no reparables.

## 6.2 CLASIFICACIÓN DE LAS PRUEBAS ACELERADAS CON BASE A LA NORMA IEC 62506

La estrategia de cualquier tipo de prueba acelerada es producir un daño acumulativo equivalente al esperado en la vida del producto de acuerdo al tipo de estrés esperado, aumentando los niveles de estrés de uno o varios factores de esfuerzos (temperatura, humedad, vibración, voltaje, entre otros) durante la prueba. La determinación de los límites de destrucción del producto, sin una estimación previa de la confiabilidad, ofrece información acerca de si existe un margen suficiente entre esos límites de destrucción y los límites de especificación del producto, lo que brinda la seguridad de que el producto sobrevivirá el período de vida predeterminado por el fabricante, sin fallas relacionadas con el estrés específico.

La IEC 62506, clasifica las pruebas aceleradas en tres rubros:

- Tipo A: prueba acelerada cualitativa.
- Tipo B: prueba acelerada cuantitativa.
- Tipo C: cuantitativa, compresión de tiempo-evento. “Estas pruebas se ejecutan en productos en los cuales la causa dominante de falla es el desgaste. Ejemplos típicos son los interruptores, los teclados y los conectores; en estos se acelera la frecuencia de la aplicación del esfuerzo, o la duración de éste, pero no se aumenta la intensidad”.

La IEC también supone que el ciclo de desarrollo de un producto se puede dividir en seis etapas: diseño, integración, validación, aceptación, manufactura y servicio. La forma en la cual las diferentes pruebas aceleradas se pueden aplicar en las diferentes etapas se ilustra en la Tabla 4 [62].

Tabla 6.1 Etapas en el ciclo de desarrollo de un producto y pruebas aceleradas [62]

ETAPA	PRUEBAS		APLICACIÓN			
	A	B y C	Componente	Ensamble	Subsistema	Sistema
Diseño	FMECA		A/B/C			
Integración	HALT	ALT	B/C	A/B/C	A	
Validación	RGT		B/C	A	A	B/C
Aceptación	RQT		B/C	A	A	B/C
Manufactura	HASS	RPAT	B/C	A	A	B/C
	HASA					
Servicio						

Los acrónimos que aparecen en la tabla son los siguientes:

ALT = Accelerated Life Test, Prueba Acelerada de Vida;  
 RGT = Reliability Growth Test, prueba de crecimiento de la confiabilidad;  
 RQT = Reliability Qualification Test, Prueba de calificación de la confiabilidad;  
 RPAT = Reliability Production Acceptance Test, prueba de aceptación de la calidad en la producción;

FMECA = Failure Modes, Effects and Criticality Analysis, Análisis de Modos de Fallos, Efectos y su Criticidad;  
 HALT = Highly Accelerated Limit Test, Pruebas de Límite muy Aceleradas;  
 HASA = Highly Accelerated Stress Audit, Auditoría muy Acelerada de esfuerzos;  
 HASS = Highly Accelerated Stress Screening, Verificación muy Acelerada de Esfuerzos.

### 6.3 PRUEBAS HALT

Un elemento o ensamble electrónico exhibe una cierta robustez  $R$ , la cual es superior a la intensidad de los esfuerzos  $E_N$  que normalmente aparecen en una aplicación (Figura 6.2). En las pruebas HALT, los esfuerzos se aceleran artificialmente hasta que se produzca un traslape entre los esfuerzos y la robustez, lo que desemboca en una falla del producto.

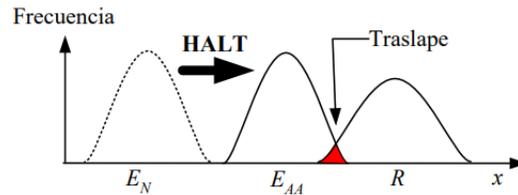


Figura 6.2. Principio del proceso de pruebas de límite muy aceleradas [63]

El proceso es efectivo para identificar las debilidades del producto, para el cual existen varios límites, como se muestra en la Figura 6.3 [63]. En ella, el factor de esfuerzo puede ser la temperatura, y habrá tanto límites superiores como inferiores. Aparecen primero los límites inferior y superior de las especificaciones LIE y LSE respectivamente, los que dependen de la aplicación. Están después los límites operativos inferior y superior LIO y LSO: el dispositivo sigue operando normalmente, aunque es posible que no satisfaga totalmente los criterios de funcionalidad. Por último, se encuentran los límites de destrucción LID y LSD, en los que el prototipo ya no recupera la funcionalidad, aunque se retorne a valores que se encuentren dentro de los límites de las especificaciones.

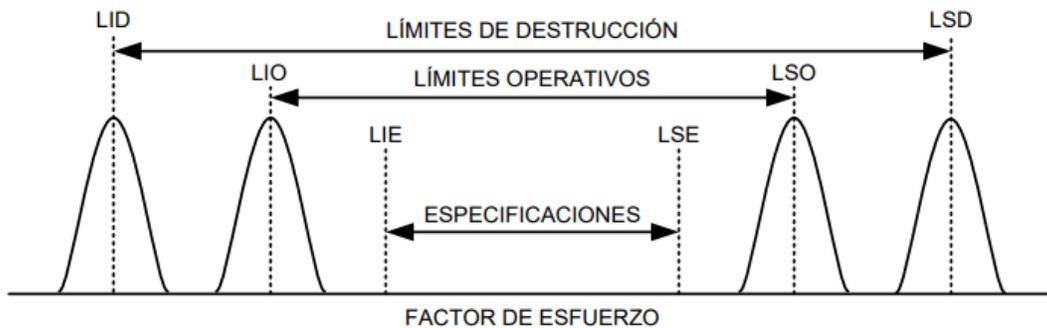


Figura 6.3. Límites en un producto [63]

En [64] se menciona que, a pesar de la ausencia de una regla estricta referente a los tiempos de permanencia por escalón de prueba, el autor sugiere un tiempo mínimo de 10 minutos o hasta que la temperatura de la cámara ambiental se haya estabilizado; además, recomienda incrementar o disminuir (según sea el caso) una magnitud de 10 por escalón de prueba de acuerdo a la variable manipulada (en esta prueba  $10^{\circ}\text{C}$  por escalón). Además, en [64] se recomienda que, si el prototipo de prueba todavía no ha sufrido una falla catastrófica y aún se

encuentra operativo después de cada aplicación de secuencia HALT, puede y debe usarse para las demás secuencias planificadas faltantes.

## 7 CONVERTIDOR ELEVADOR (BOOST)

En la Figura 7.1 se muestra el diagrama parcial del convertidor elevador y en la Tabla 7.1 se listan las ecuaciones de diseño.

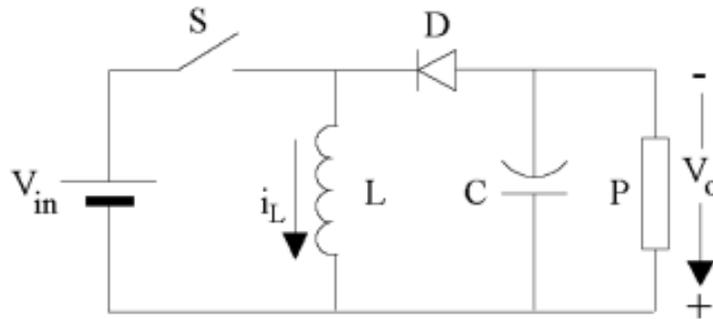


Figura 7.1. Esquemático del convertidor elevador

Tabla 7.1 Ecuaciones de diseño del convertidor elevador [65]

Buck-Boost	
Ganancia en CD	$M = \frac{D}{1 - D}$
Ciclo de trabajo	$D = \frac{V_o}{V_o + V_{in}}$
Inductor	$L_{in} = \frac{V_{in} * D}{\Delta i_{L_{in}} * F_s}$
Capacitor	$C_o = \frac{V_o * D}{\Delta v_{CO} * R_o * F_s}$
Corriente promedio del transistor	$I_Q = \frac{P_o}{V_{in}}$
Corriente pico del transistor	$I_{qpk} = \frac{V_o}{R_o * (1 - D)} + \frac{V_{in} * D}{2 * L_{in} * F_s}$
Tensión máxima del transistor	$V_{DS} = V_{in} + V_o$
Corriente promedio del diodo	$I_D = \frac{V_o}{R_o}$
Corriente pico del diodo	$I_{dpk} = \frac{V_o}{R_o * (1 - D)} + \frac{V_{in} * D}{2 * L_{in} * F_s}$
Tensión máxima del diodo	$V_{KA} = V_{in} + V_o$

## 7.1 ESPECIFICACIONES DEL CONVERTIDOR

Se utilizó un convertidor elevador diseñado para operar en modo de conducción continua, con las siguientes características:

- Voltaje de entrada  $V_i=17$  V
- Voltaje de salida  $V_o= 48$  V
- Frecuencia de conmutación 100 kHz
- Potencia 100 W

El tiempo para alcanzar la saturación en humedad de un componente electrónico depende principalmente de las dimensiones del material. Lo anterior es relevante debido a que normalmente en un prototipo se utilizan componentes de diferentes medidas: de menor dimensión, como los circuitos integrados, y dispositivos voluminosos, como transistores y diodos de potencia. Esto sugiere que, en un proceso HALT, serán los componentes de menor dimensión los primeros en presentar una falla parámetrica; por lo anterior, se sometió el circuito de control a las pruebas HALT. El circuito de control aparece en el interior del cuadro punteado, en la Figura 7.2.

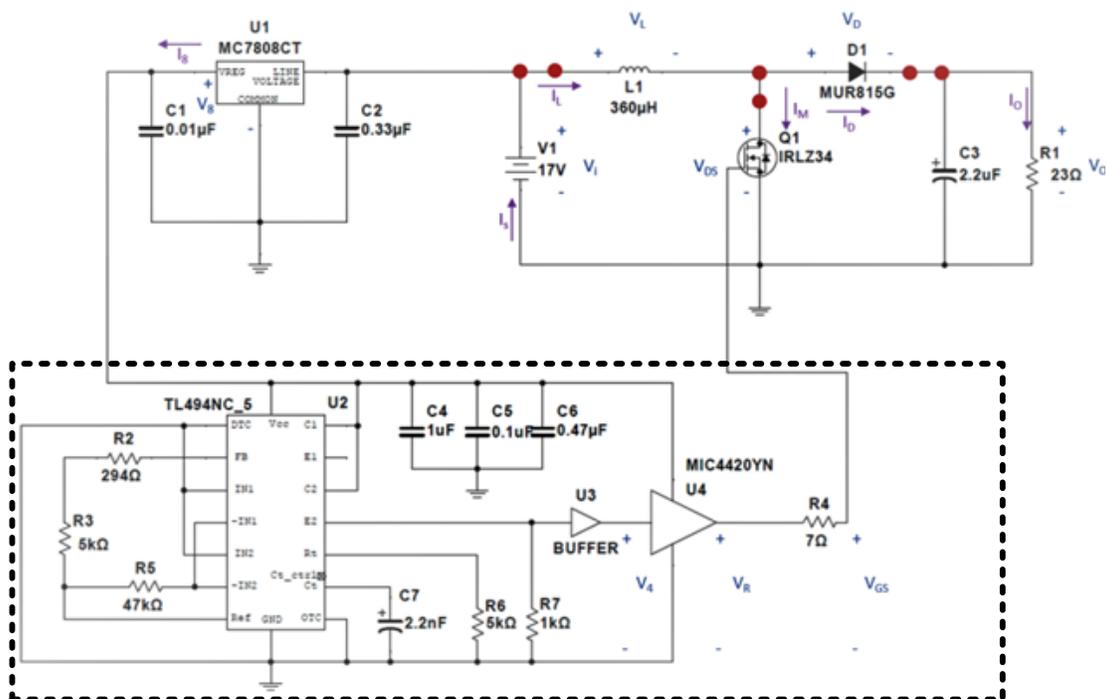


Figura 7.2. Diagrama completo del prototipo

## 8 PRUEBAS Y RESULTADOS

---

### 8.1 PLANEACIÓN DE PRUEBAS HALT

En el proceso HALT, el producto se somete a esfuerzos cuya intensidad aumenta progresivamente. Para un valor dado de humedad relativa, se aplican dos secuencias de temperaturas, primero en aumento a partir de la ambiental, y después en disminución. Una vez terminadas las secuencias, se modifica el nivel de humedad y se repiten las secuencias. Si se detecta una falla, se retorna a las condiciones previas para determinar si se está ante una falla reversible, o una de índole catastrófica.

En la tabla 8.1 se listan las nueve secuencias, una flecha como indicador de temperatura en aumento o disminución, la temperatura inicial y final, y la humedad relativa utilizada en cada una de las secuencias. En las figuras 8.1 a 8.9 se muestran las gráficas en las que se muestra el tiempo utilizado en cada prueba y el aumento o disminución de temperatura.

Tabla 8.1. Secuencias aplicadas en las pruebas HALT

Secuencia	Temperatura	T <sub>INICIAL</sub> (°C)	T <sub>FINAL</sub> (°C)	HR (%)
A	↑	30	70	35 <sup>■</sup>
B	↓	20	-13	35 <sup>■</sup>
C	↑	60	90	35 <sup>■</sup>
D	↑	30	90	50
E	↓	20	-9.9	50
F	↑	30	90	65
G	↓	20	-13	65
H	↑	30	90	80
I	↓	20	-15.7	80

■: humedad relativa ambiental en el momento de la prueba

Las secuencias se muestran en las figuras 8.1 a 8.9.

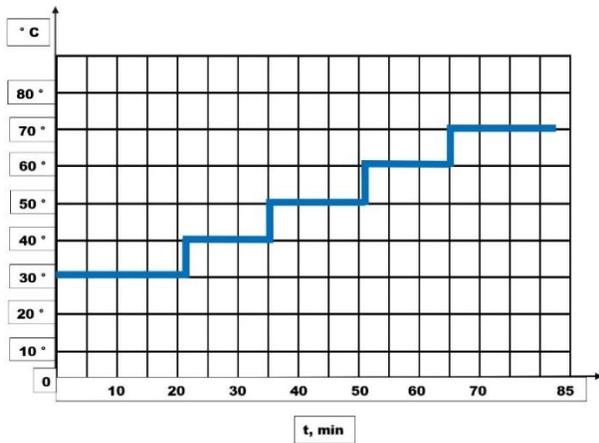


Figura 8.1. Secuencia A

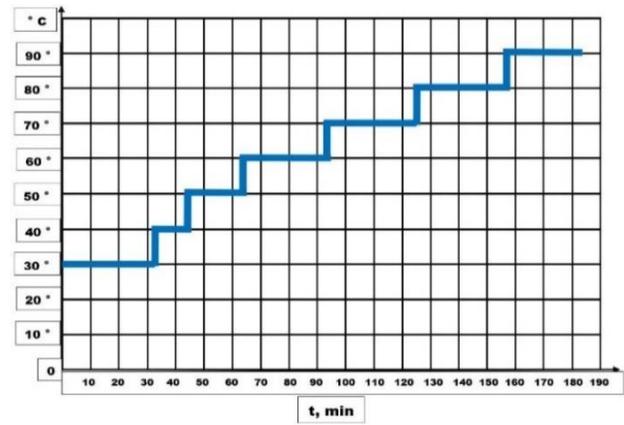


Figura 8.4. Secuencia D

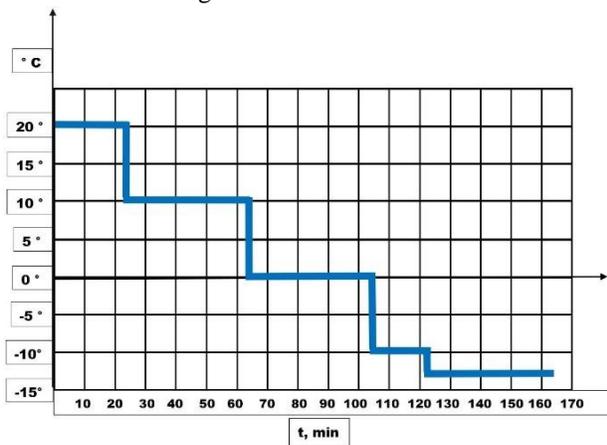


Figura 8.2. Secuencia B

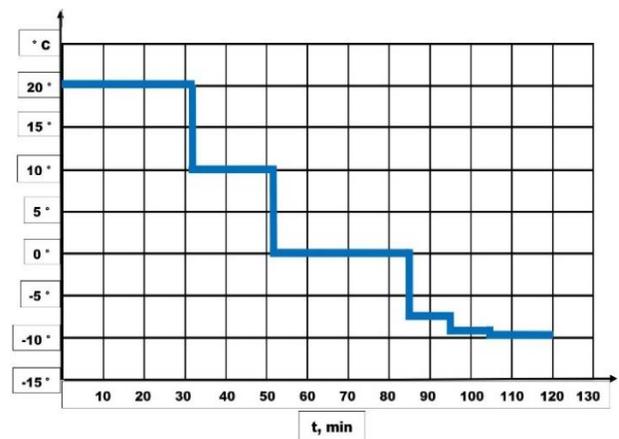


Figura 8.5. Secuencia E

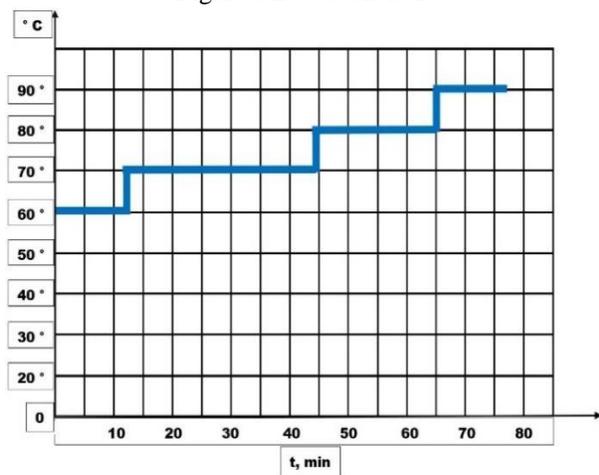


Figura 8.3. Secuencia C

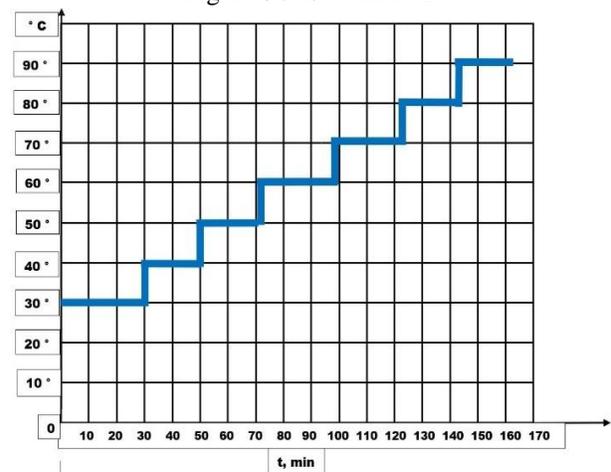


Figura 8.6. Secuencia F

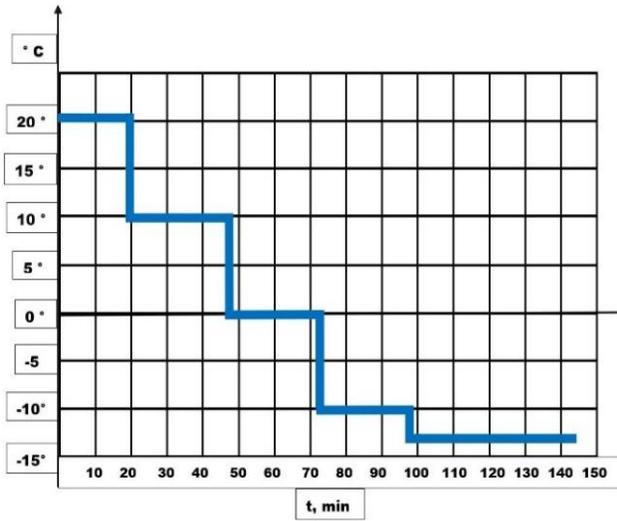


Figura 8.7. Secuencia G

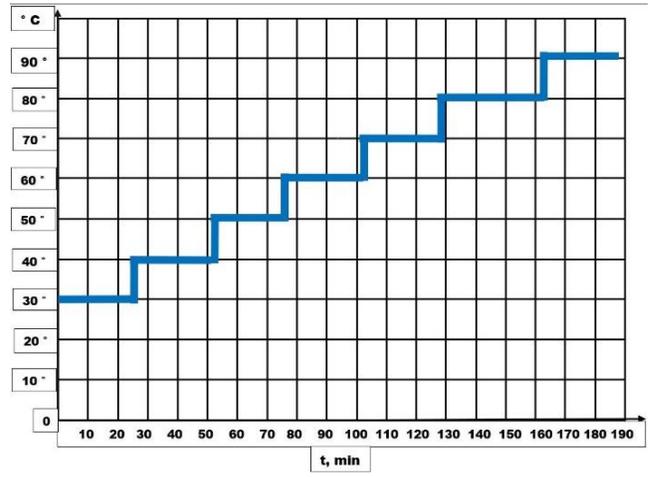


Figura 8.8. Secuencia H

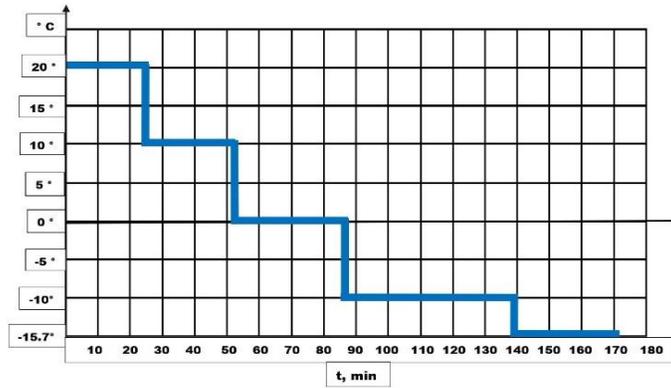


Figura 8.9. Secuencia I

## 8.2 EJECUCIÓN DE LAS SECUENCIAS HALT

A continuación, se describen los principales equipos utilizados durante las pruebas HALT:

- Cámara ambiental (marca Gentherm Company), la cual fue pieza fundamental para el desarrollo de las secuencias HALT. La cámara es capaz de modificar el punto de ajuste de los 2 factores de esfuerzos y monitorear en tiempo real el valor de los mismos.
- Osciloscopio portátil marca Tektronix MDO4104, con 4 canales analógicos y uno auxiliar, ancho de banda de 1GHz, sensibilidad vertical mínima de 1mV/div, sensibilidad vertical máxima de 10V/div y una resolución vertical de 8 bits.
- Fuente de poder de mesa U8031A de la marca Keysight Technologies, con un intervalo de voltaje de salida de 5 V a 30 V, corriente máxima de salida de 6 A y potencia nominal de 375 W.

Se ejecutaron las 9 secuencias ilustradas en las Figuras 8.1 a 8.9, empezando con la temperatura ambiental en el momento de ejecución de las pruebas, e incrementándola en pasos de 10°C, hasta alcanzar 70°C o 90°C; o bien, disminuyendo la temperatura a partir de 20°C hasta registrar una temperatura por debajo de 0°C.

Cabe destacar que, antes de iniciar las secuencias, se caracterizó el funcionamiento del convertidor a temperatura y humedad ambientales en el momento de la prueba. Se monitoreó la frecuencia de conmutación y el ciclo de trabajo del TL494CN, para así evidenciar el comportamiento de los mismos a un porcentaje de humedad distinto, e identificar si se producía una falla paramétrica. En la Figura 8.10 se muestra el montaje de pruebas utilizado.

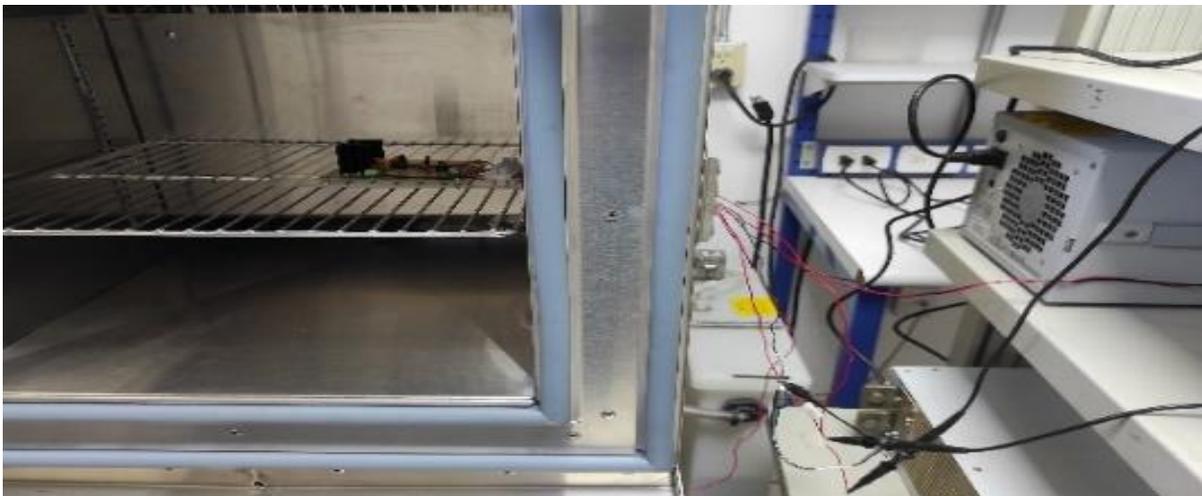


Figura 8.10. Conexiones realizadas entre el circuito de control del convertidor elevador, la fuente de poder y osciloscopio

### 8.3 RESULTADOS OBTENIDOS DE LAS SECUENCIAS HALT

Los resultados de las pruebas se concentran en las Tablas 8.2 a 8.10. En ellas se incluye la temperatura de prueba  $T_P$ , la humedad relativa HR, el tiempo que tomó llegar a la temperatura final del escalón  $t_{PRUEBA}$ , la frecuencia de conmutación  $f_s$  y el ciclo de trabajo  $D$ .

- Para la secuencia A, el tiempo total  $t_{PRUEBA}$  fue de 82 minutos, la disminución total de  $f_s$  fue de 1.5 kHz y la disminución total para  $D$  fue de 14.85 %.

Tabla 8.2. Secuencia A, de 30°C a 70 °C con HR = 35%

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
30	35	22	100.2	66.97
40	34.3	13	99.70	62.71
50	33.7	16	99.27	58.89
60	34.8	14	98.90	55.29
70	36.2	17	98.70	52.12

- Para la secuencia B, el tiempo total  $t_{PRUEBA}$  fue de 162 minutos, el aumento total de  $f_s$  fue de 1.23 kHz y el aumento total para  $D$  fue de 13.42 %.

Tabla 8.3. Secuencia B, de 20°C a -13°C, con HR = 35% HR

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
20	35	23	100.49	70.69
10	41.4	40	100.70	75.00
0	65.7	41	101.11	79.56
-10	76.2	18	101.31	83.16
-13	74.2	40	101.72	84.11

- Para la secuencia C, el tiempo total  $t_{PRUEBA}$  fue de 77 minutos, la disminución total de  $f_s$  fue de 2.919 kHz y la disminución total para  $D$  fue de 9.75 %.

Tabla 8.4. Secuencia C, de 60°C a 90°C, con HR = 35%

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
60	35	12	100.100	55.29
70	36.4	32	98.522	52.12

80	36.1	21	98.328	48.48
90	34.8	12	97.181	45.54

- Para la secuencia D, el tiempo total  $t_{PRUEBA}$  fue de 183 minutos, la disminución total de  $f_s$  fue de 3.145 kHz y la disminución total para  $D$  fue de 21 %.

Tabla 8.5. Secuencia D, de 30°C a 90 °C con HR = 50% HR

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
30	50	31	100.128	66.54
40	47.9	12	99.482	62.68
50	49.1	20	99.285	59.05
60	50.4	29	98.697	55.34
70	52.5	33	98.125	51.78
80	50.9	32	97.551	48.74
90	50.4	26	96.983	45.54

- Para la secuencia E, el tiempo total  $t_{PRUEBA}$  fue de 120 minutos, el aumento total de  $f_s$  fue de 610 Hz y el aumento total para  $D$  fue de 13.92 %.

Tabla 8.6. Secuencia E, de 20°C a - 9.9 °C con HR = 50%

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
20	75.9	31	100.492	69.70
10	73.9	20	100.897	74.97
0	75.2	33	101.102	79.57
-7.1	71.2	11	101.102	81.39
-9.7	77.5	9	101.102	83.41
-9.9	83.7	16	101.102	83.62

- Para la secuencia F, el tiempo total  $t_{PRUEBA}$  fue de 162 minutos, la disminución total de  $f_s$  fue de 3.111 kHz y la disminución total para  $D$  fue de 21.29 %.

Tabla 8.7. Secuencia F, de 30°C a 90 °C con HR = 65% HR

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
30	62	30	100.170	66.74
40	65.2	20	99.571	62.56
50	65.2	21	99.176	58.74

60	68.8	28	98.784	54.95
70	62	23	98.202	51.68
80	65	20	97.818	48.35
90	65.2	20	97.059	45.45

- Para la secuencia G, el tiempo total  $t_{PRUEBA}$  fue de 143 minutos, el aumento total de  $f_s$  fue de 1.018 kHz y el aumento total para  $D$  fue de 14.1 %.

Tabla 8.8. Secuencia G, de 20°C a -13 °C con HR = 65% HR

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
20	63.1	20	100.371	70.89
10	72.3	28	100.775	75.20
0	73	25	101.183	79.76
-10	83.2	25	101.389	83.98
-13	77.20	45	101.389	84.99

- Para la secuencia H, el tiempo total  $t_{PRUEBA}$  fue de 187 minutos, la disminución total de  $f_s$  fue de 3.312 kHz y la disminución total para  $D$  fue de 21.42 %.

Tabla 8.9. Secuencia H, de 30°C a 90 °C con HR = 80% HR

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
30	80	26	100.371	66.67
40	80	25	99.770	62.68
50	79.3	25	99.373	58.85
60	79	25	98.980	55.26
70	80	28	98.202	51.68
80	80.1	33	97.818	48.15
90	81	25	97.059	45.25

- Para la secuencia I, el tiempo total  $t_{PRUEBA}$  fue de 171 minutos, el aumento total de  $f_s$  fue de 1.094 kHz y el aumento total para  $D$  fue de 14.73 %.

Tabla 8.10. Secuencia I, de 20°C a -15.7 °C con HR = 80% HR

$T_P$ (°C)	HR (%)	$t_{PRUEBA}$ (minutos)	$f_s$ (kHz)	$D$ (%)
20	80.1	25	100.573	71.03
10	81.8	26	100.775	75.41
0	80	36	101.183	79.96
-10	85	53	101.255	84.20
-15.7	81	31	101.667	85.76

En la Figura 8.11 se muestra la interpolación de los resultados de las secuencias A y B, y una aproximación lineal del comportamiento de  $f_s$ . Si se exceptúan los valores a 60°C y 90°C de la secuencia B, se aprecia que la frecuencia exhibe un comportamiento muy lineal que se puede aproximar con:

$$f_s = \left(-0.0351 \frac{\text{kHz}}{^\circ\text{C}}\right) T + 101.0909 \text{ kHz}$$

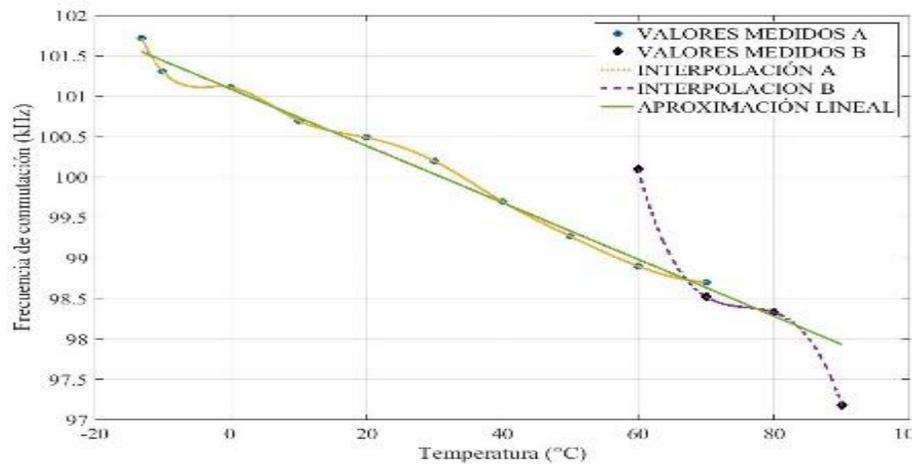


Figura 8.11. Interpolación de los valores de la frecuencia obtenidos en la secuencia A y B

En la Figura 8.12 se muestra la interpolación de los resultados de la secuencia D, y una aproximación lineal del comportamiento de  $f_s$ . Se aprecia que la frecuencia obtiene un comportamiento muy lineal que se puede aproximar con:

$$f_s = \left(-0.0351 \frac{\text{kHz}}{^\circ\text{C}}\right) T + 101.0909 \text{ kHz}$$

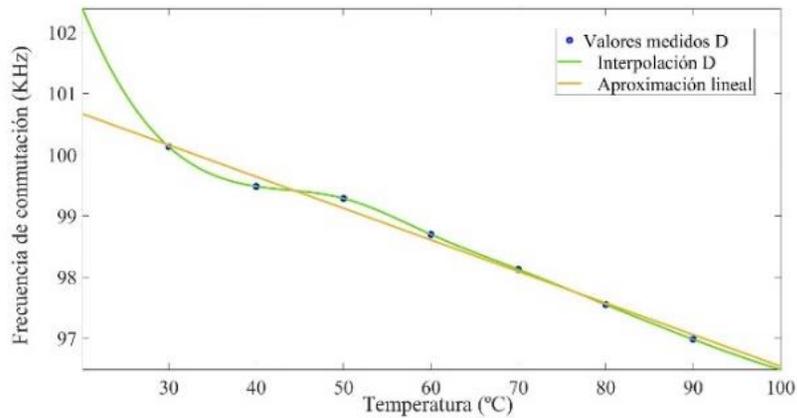


Figura 8.12. Interpolación de los valores de la frecuencia obtenidos en la secuencia D

El comportamiento de la frecuencia de conmutación  $f_s$  y el ciclo de trabajo  $D$  en función a la temperatura de prueba  $T_P$  se concentra en las Figuras 8.13 a 8.21.

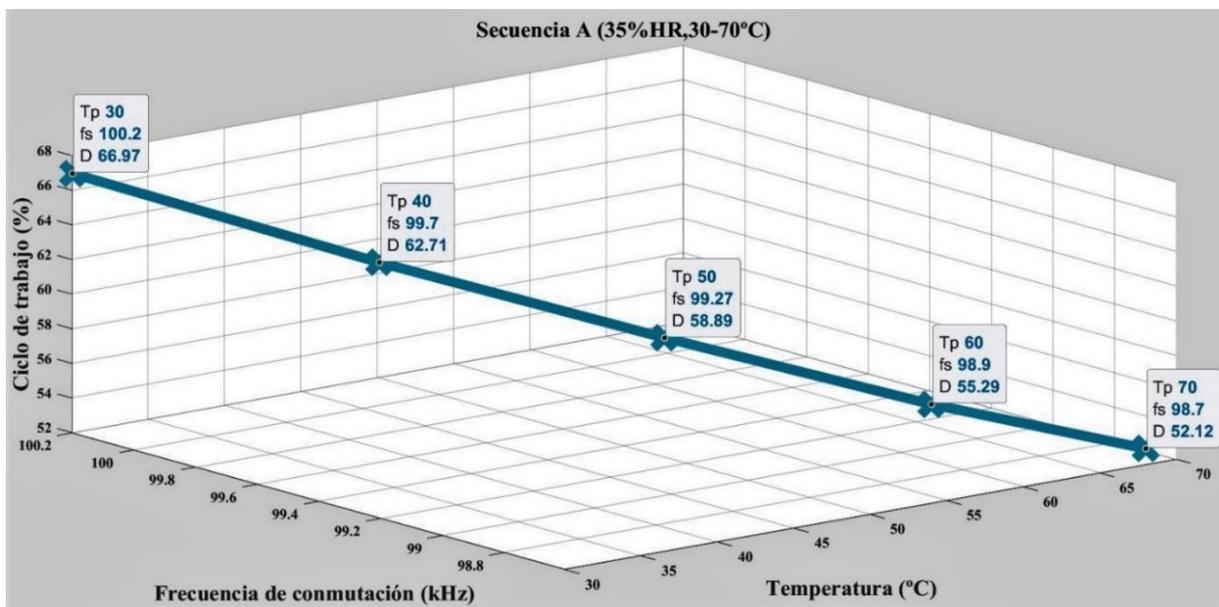


Figura 8.13. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento

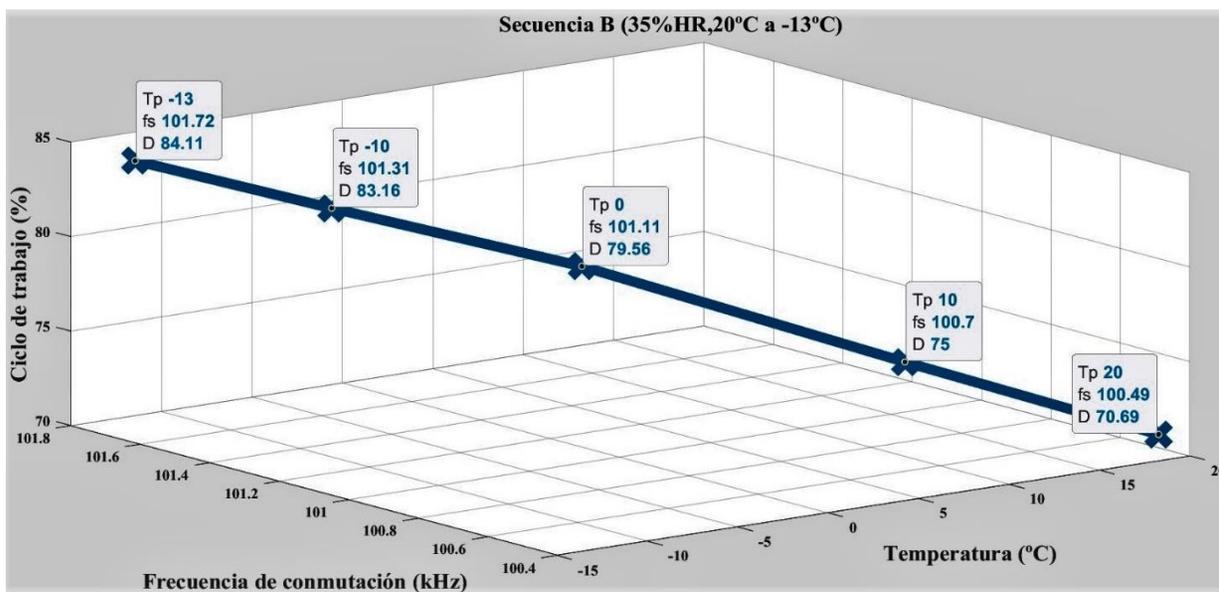


Figura 8.14. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución

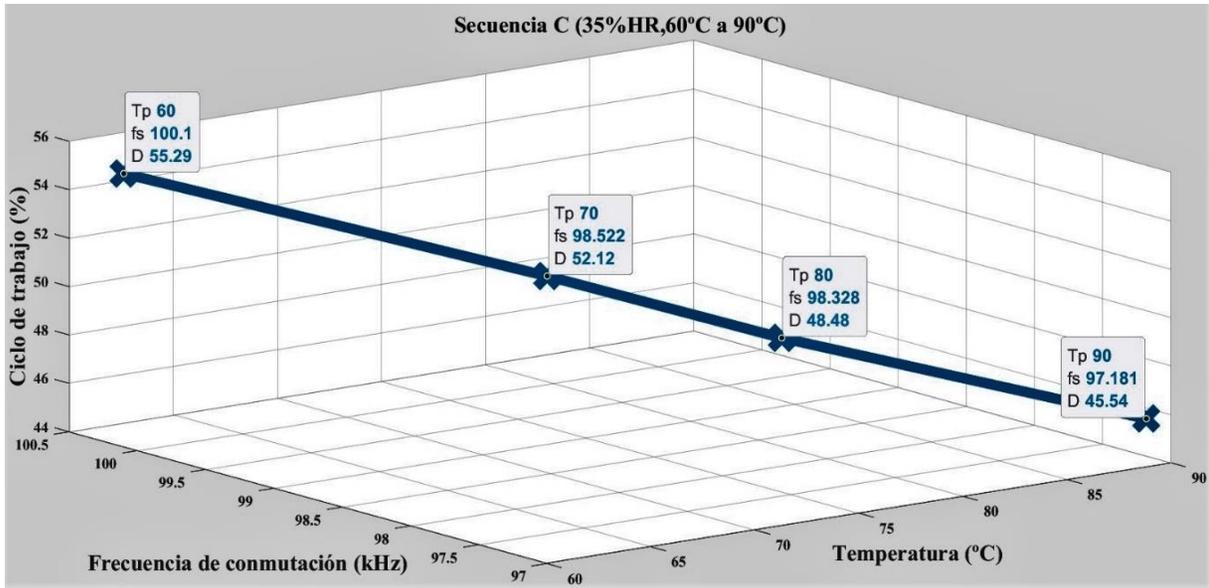


Figura 8.15. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento

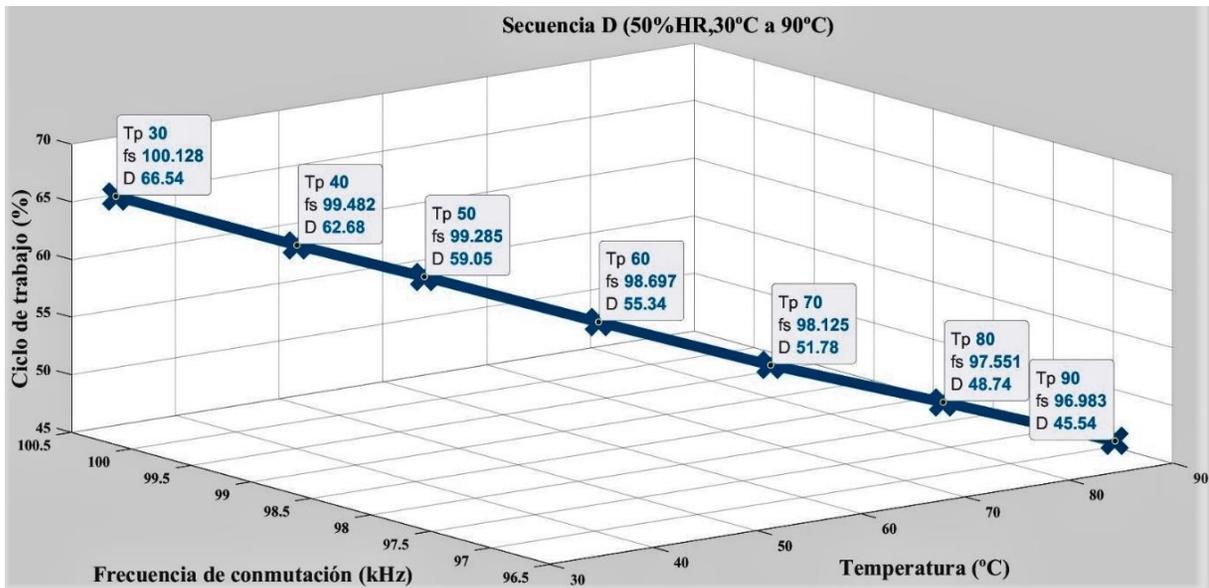


Figura 8.16. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento

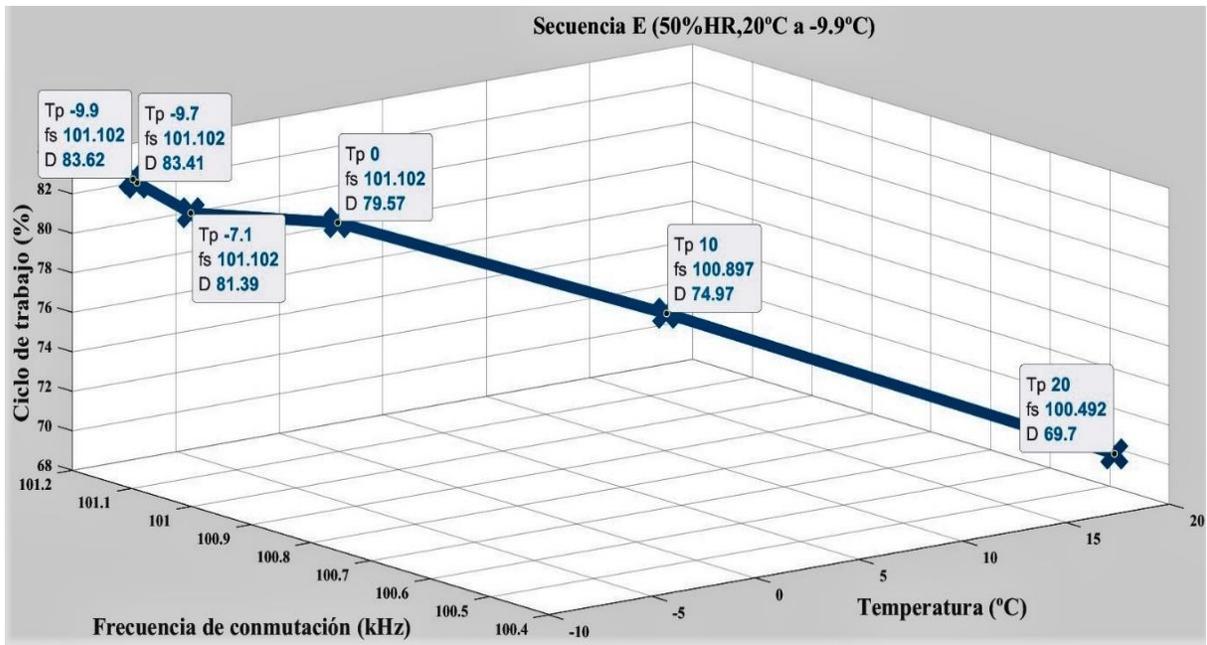


Figura 8.17. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución

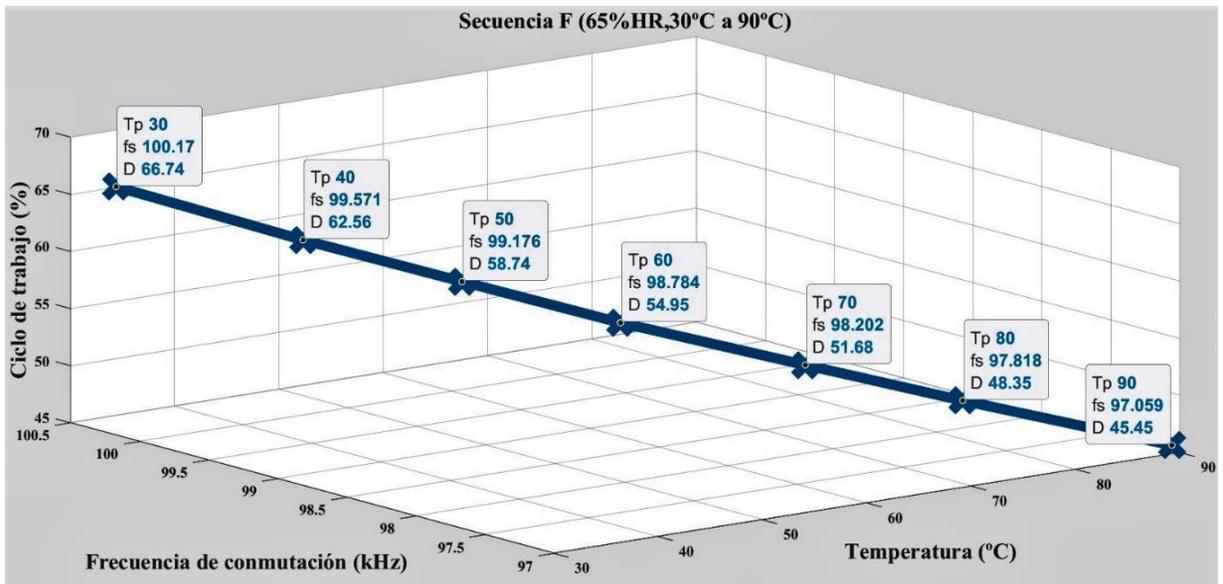


Figura 8.18. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento

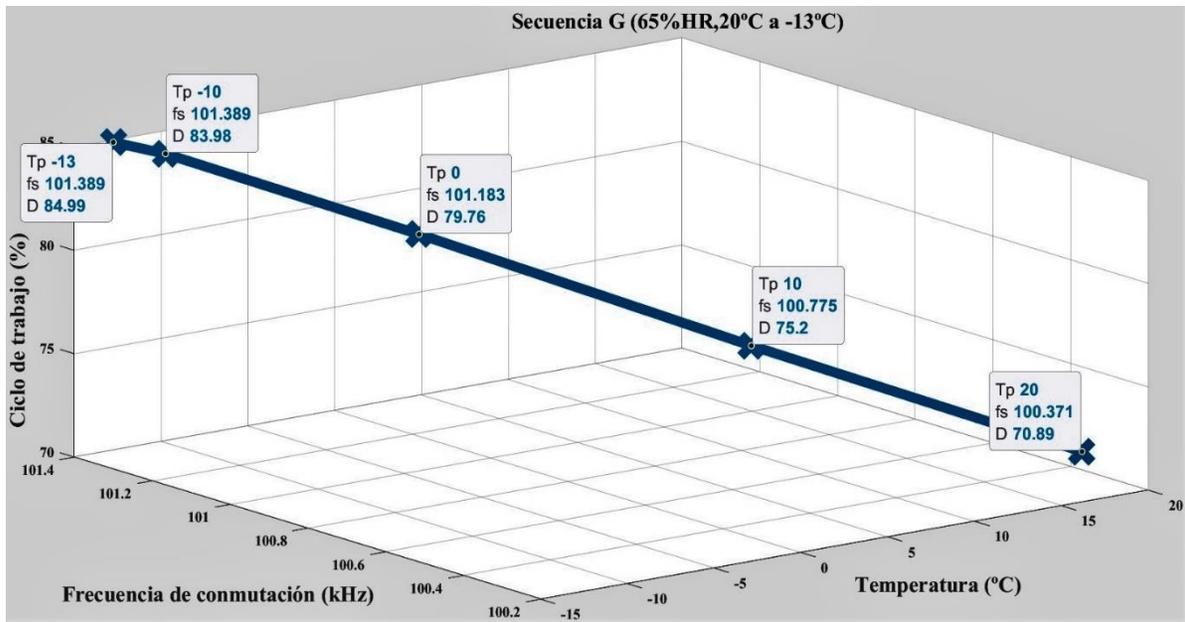


Figura 8.19. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución

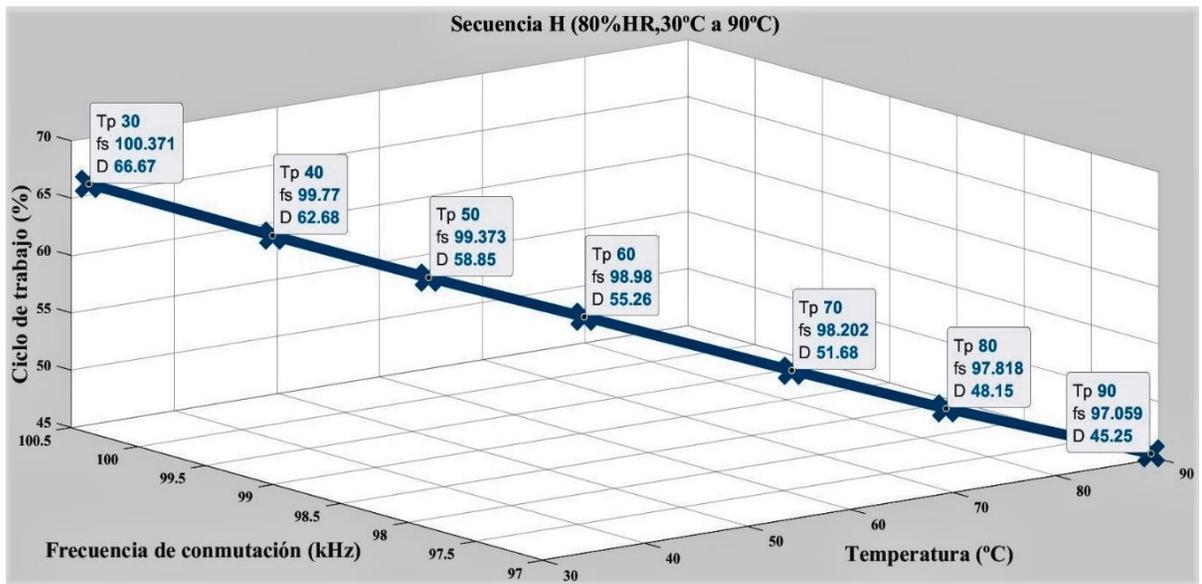


Figura 8.20. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en aumento

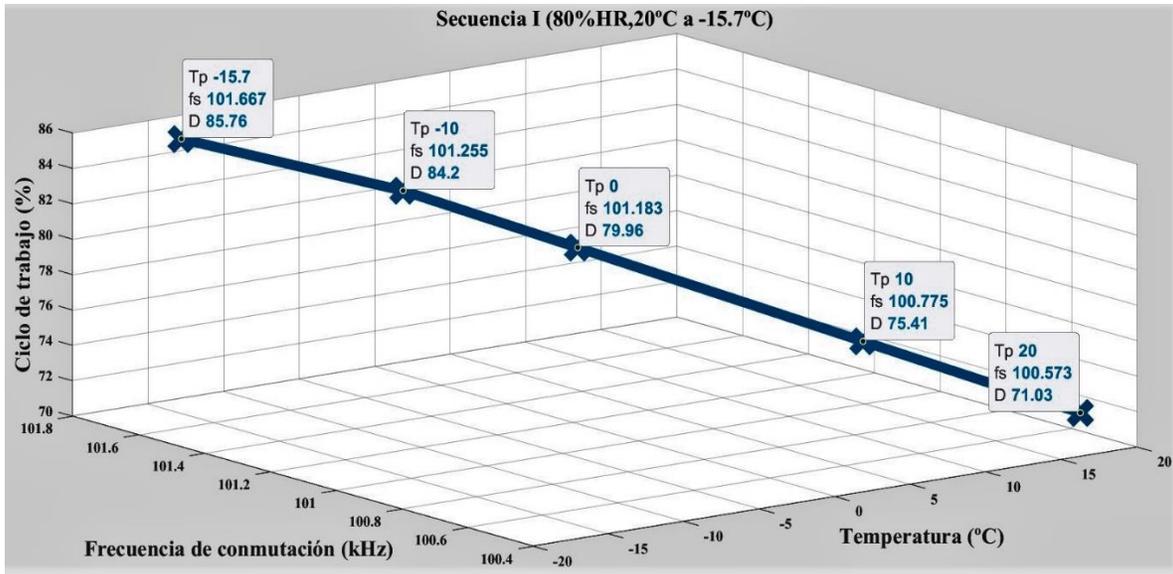


Figura 8.21. Tendencia del ciclo de trabajo y la frecuencia de conmutación a una temperatura en disminución

## 8.4 ANÁLISIS DE LOS RESULTADOS OBTENIDOS DE LA PRUEBAS HALT

En esta sección se muestran algunas imágenes capturadas con el osciloscopio. En cada secuencia se ilustran 3 imágenes que corresponden a los valores mínimo, medio y máximo de temperatura de acuerdo a cada una de las mismas. Se observan 2 formas de ondas, la de azul fuerte corresponde a la salida del TL494CN y la otra forma de onda se le atribuye a la salida del driver; además, en cada imagen se registra el valor de la frecuencia de conmutación y del ciclo de trabajo.

### 8.4.1 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia A.

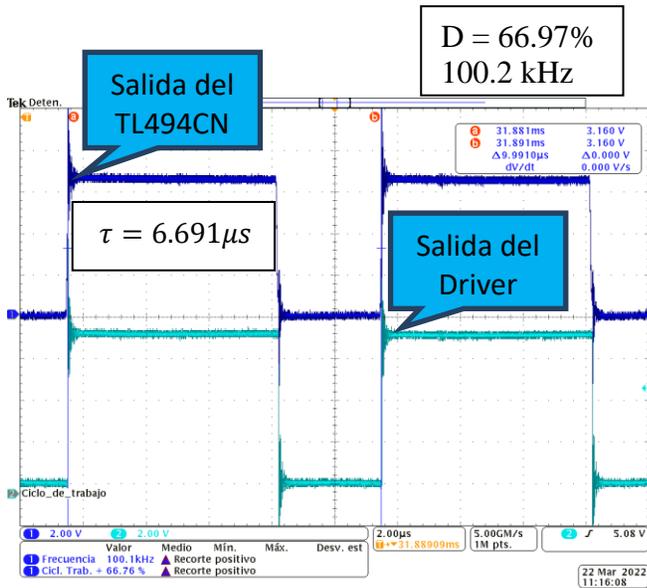


Figura 8.22. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 35% HR

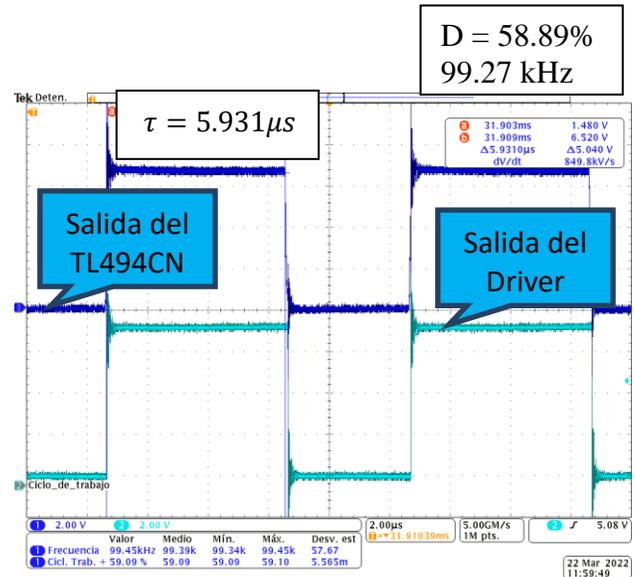


Figura 8.23. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 50°C y 33.7% HR

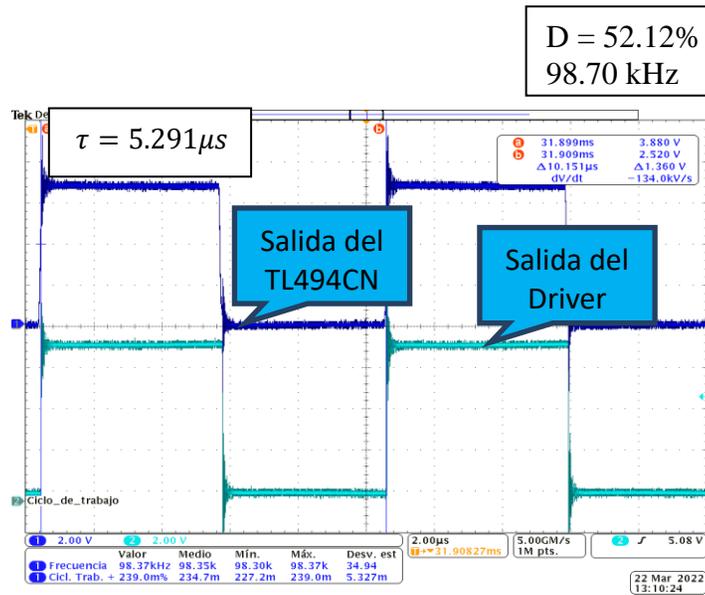


Figura 8.24. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 70°C y 36.2 % HR

### 8.4.2 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia B.

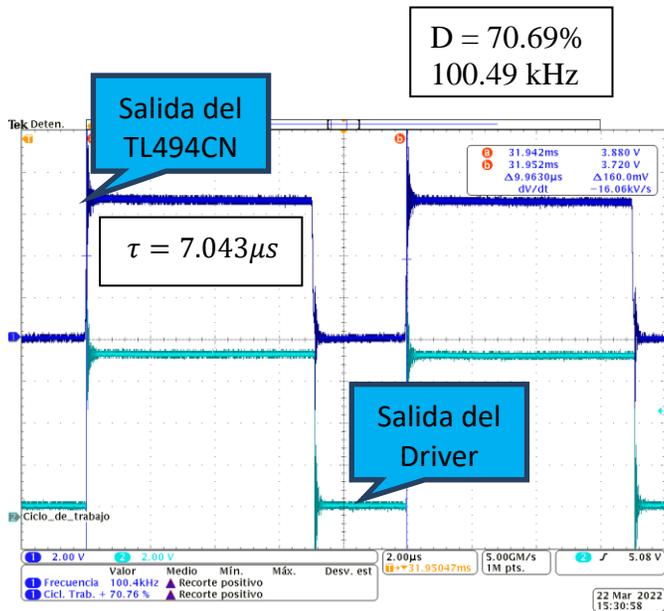


Figura 8.25. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 35% HR

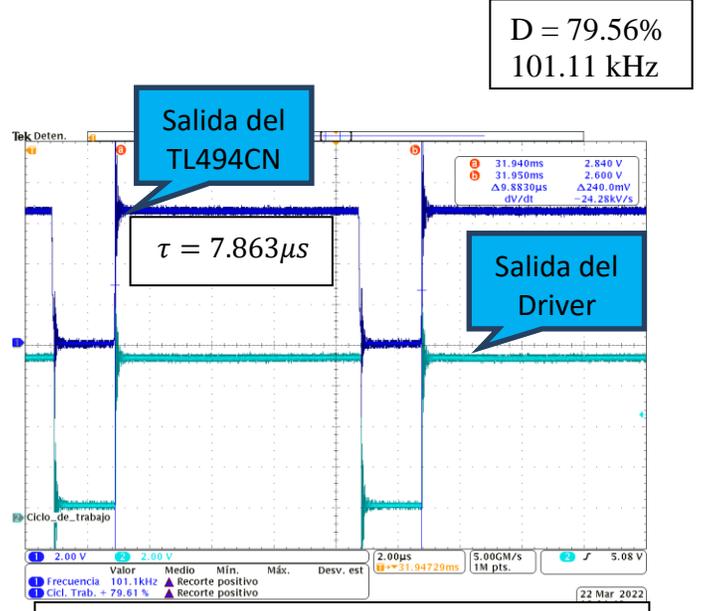


Figura 8.26. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 65.7% HR

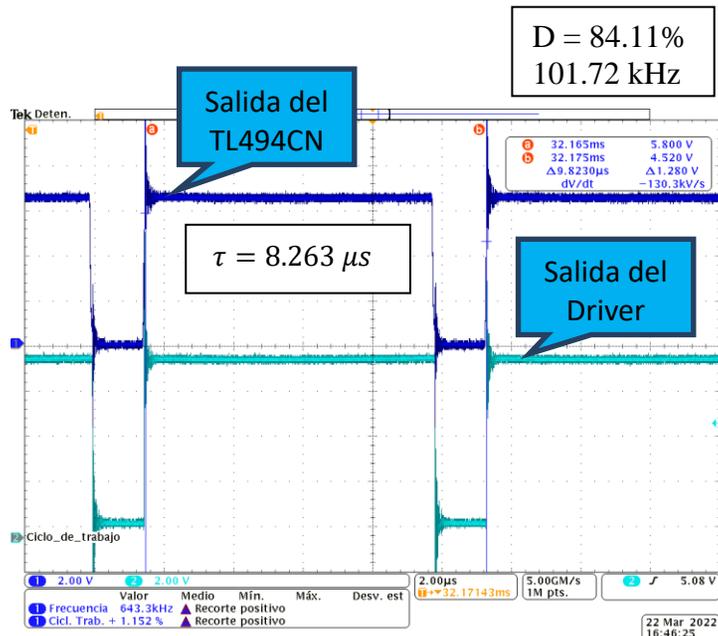


Figura 8.27. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -13°C y 74.2% HR

### 8.4.3 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia C.

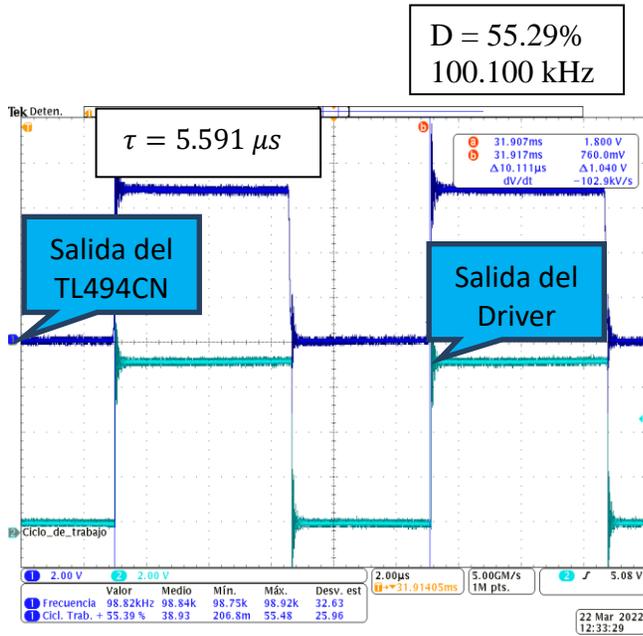


Figura 8.28. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 35% HR

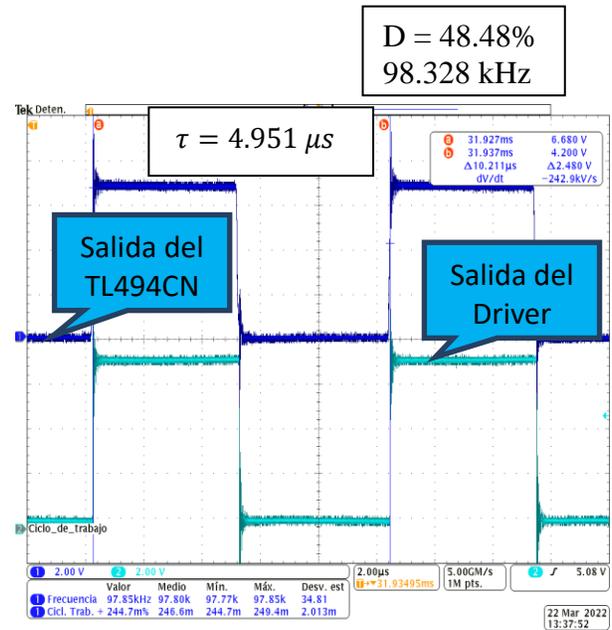


Figura 8.29. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 80°C y 36.1% HR

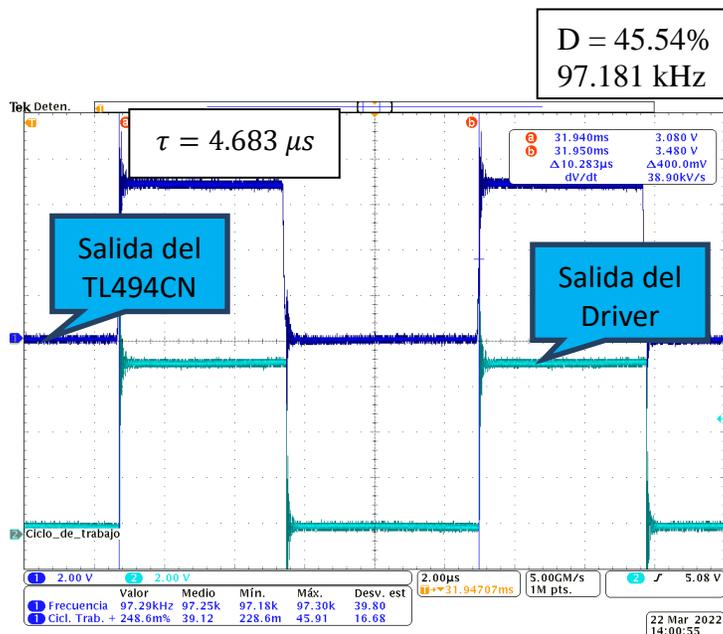


Figura 8.30. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 34.8% HR

### 8.4.4 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia D.

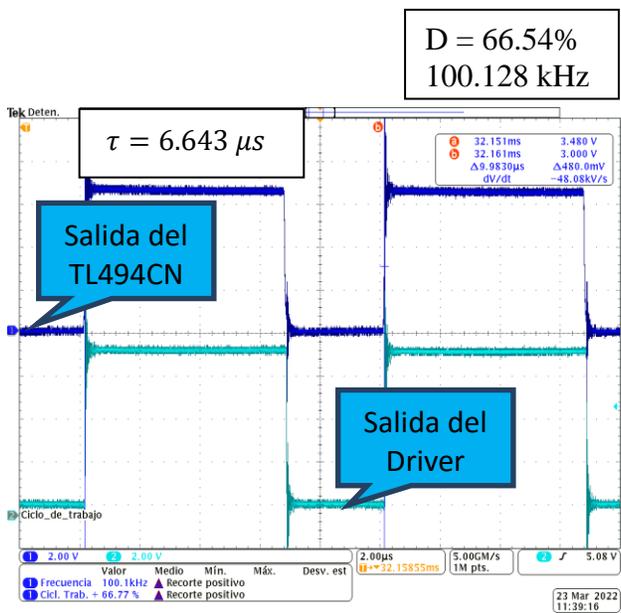


Figura 8.31. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 50% HR

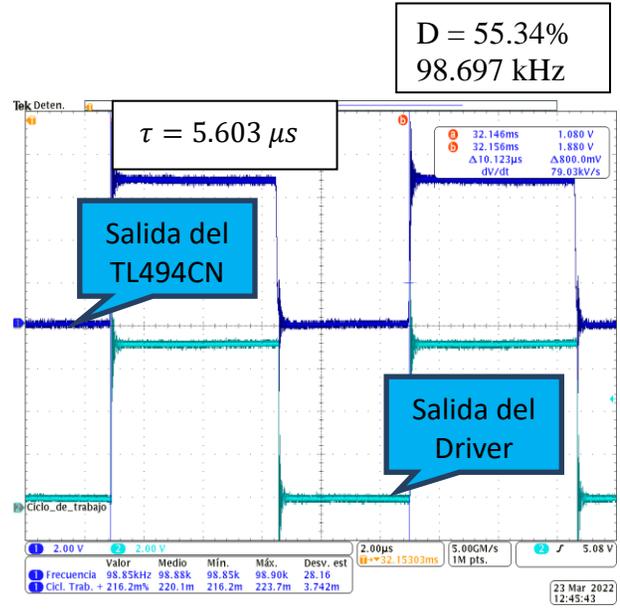


Figura 8.32. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 50.4% HR

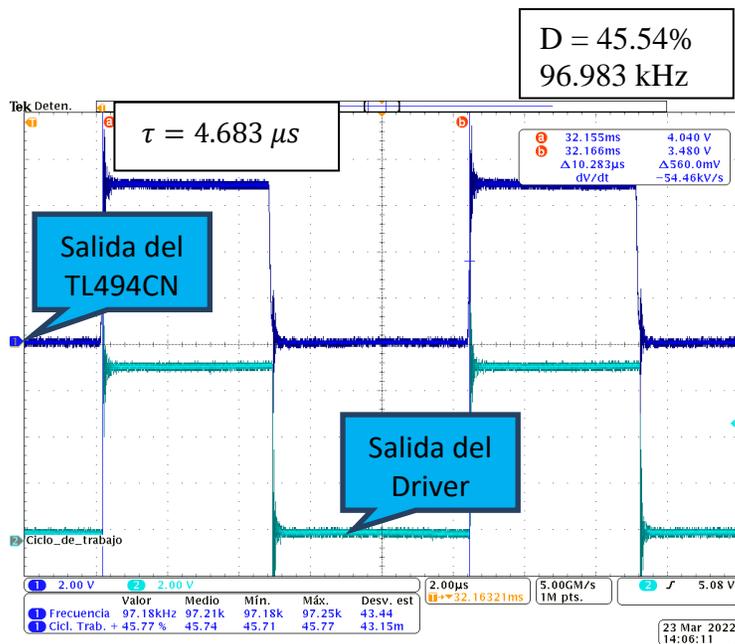


Figura 8.33. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 50.4% HR

### 8.4.5 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia E.

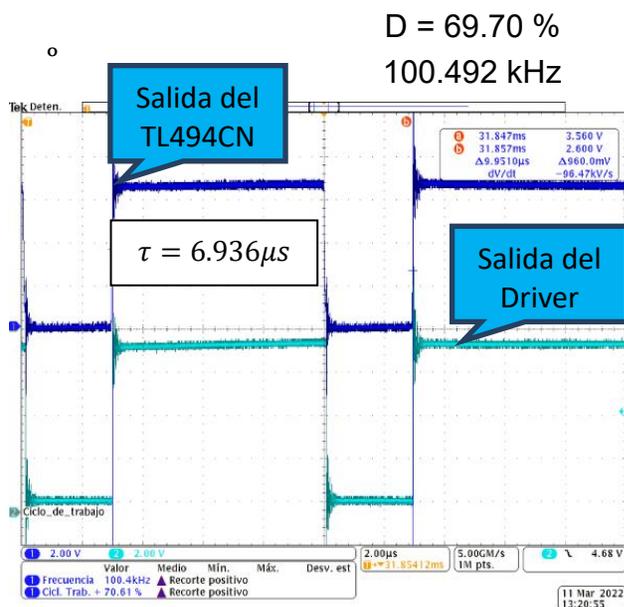


Figura 8.34. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 75.9% HR

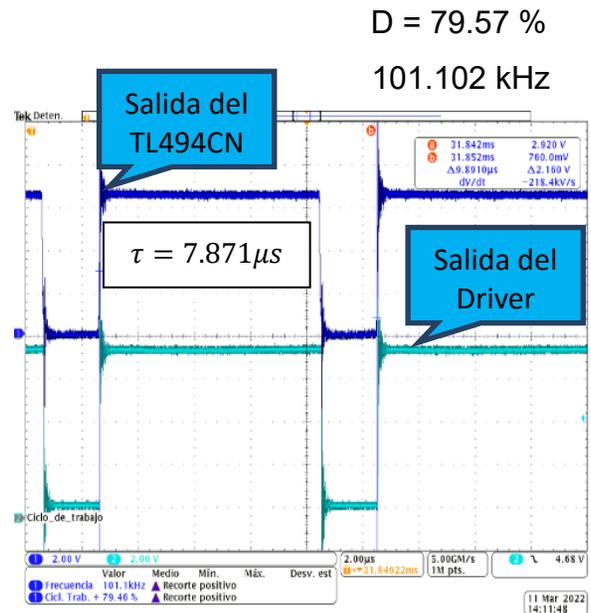


Figura 8.35. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 75.2% HR

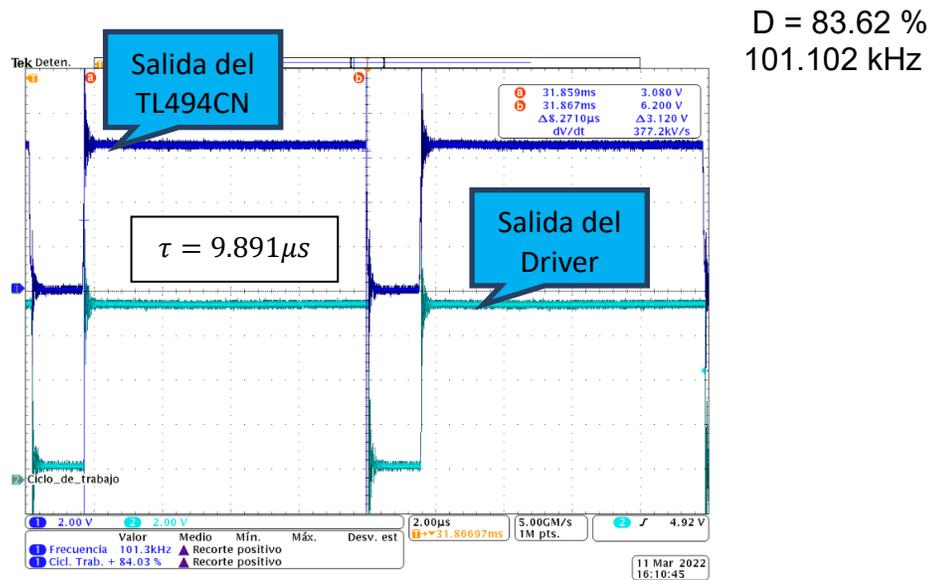


Figura 8.36. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -9.9°C y 83.7% HR

### 8.4.6 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia F.

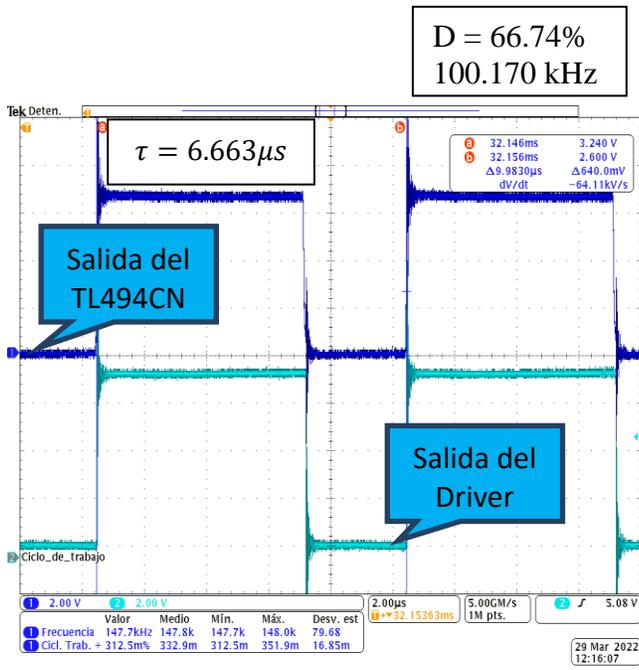


Figura 8.37. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 62% HR

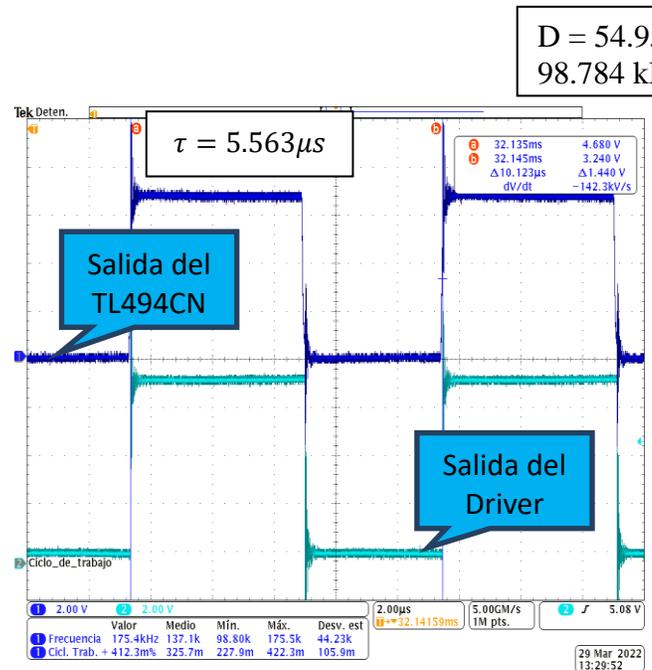


Figura 8.38. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 68.8% HR

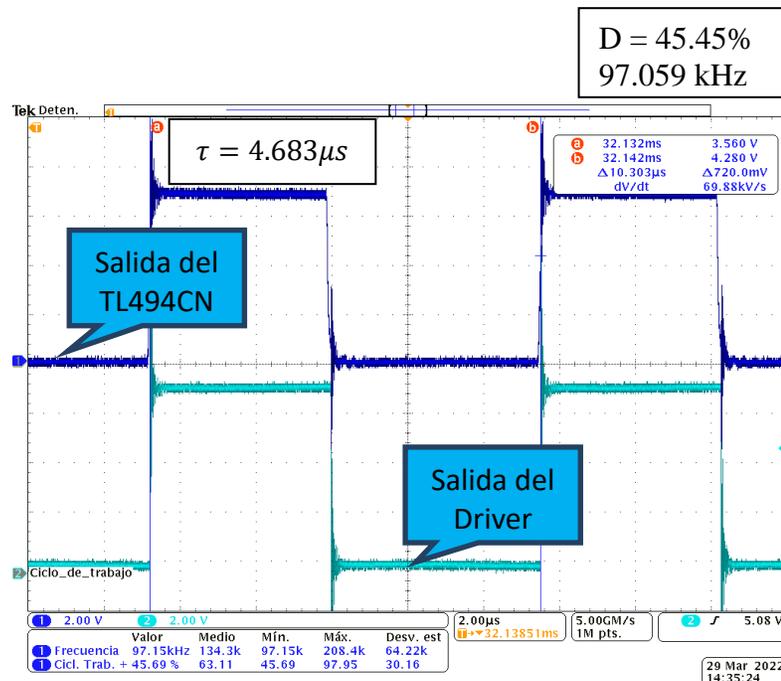


Figura 8.39. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 65.2% HR

### 8.4.7 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia G.

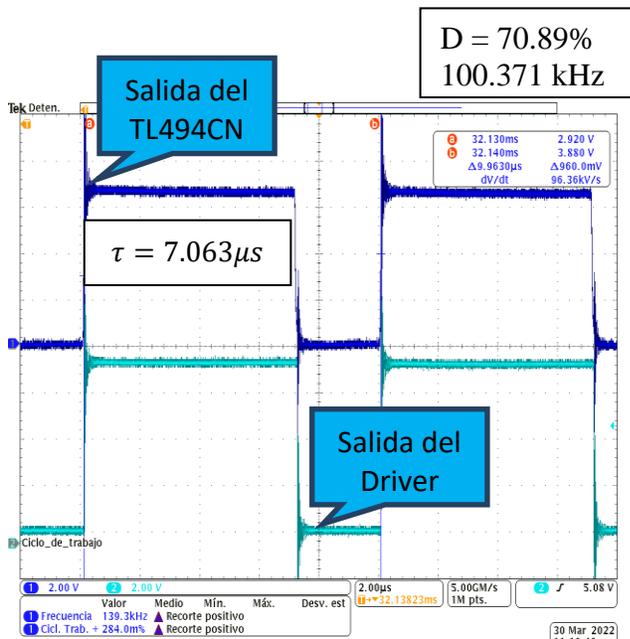


Figura 8.40. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 63.1% HR

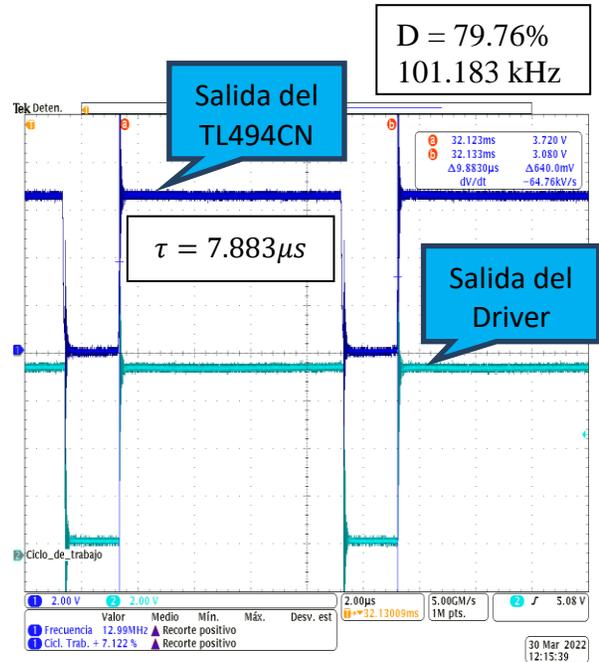


Figura 8.41. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 73% HR

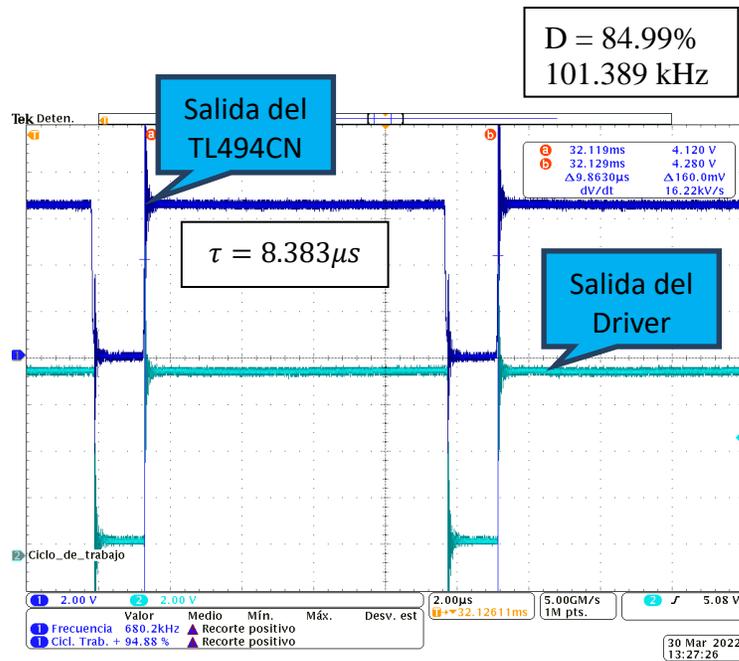


Figura 8.42. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -13°C y 77.2% HR

### 8.4.8 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia H.

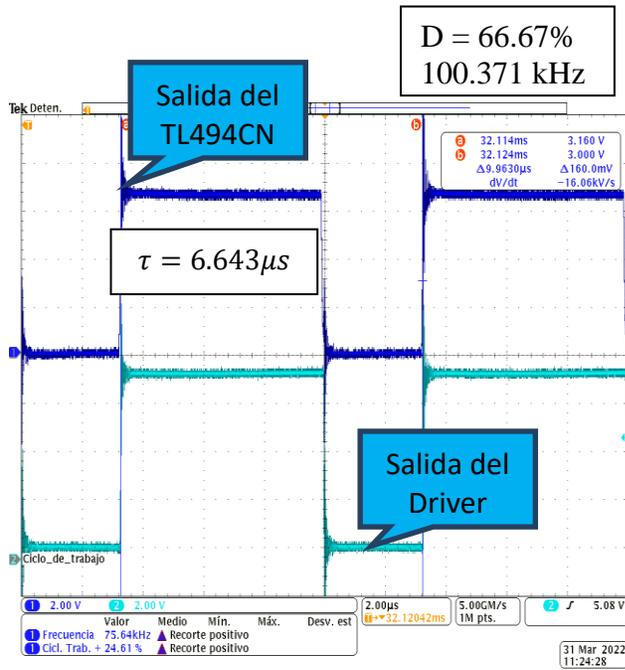


Figura 8.43. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 30°C y 80% HR

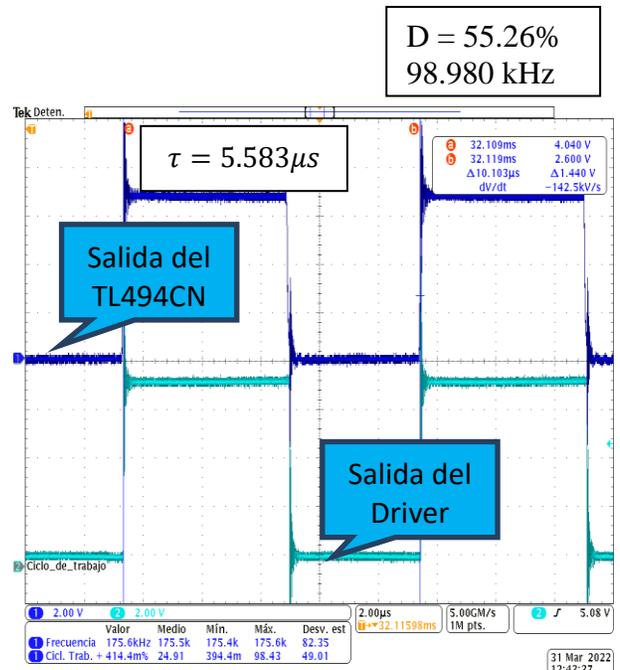


Figura 8.44. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 60°C y 79% HR

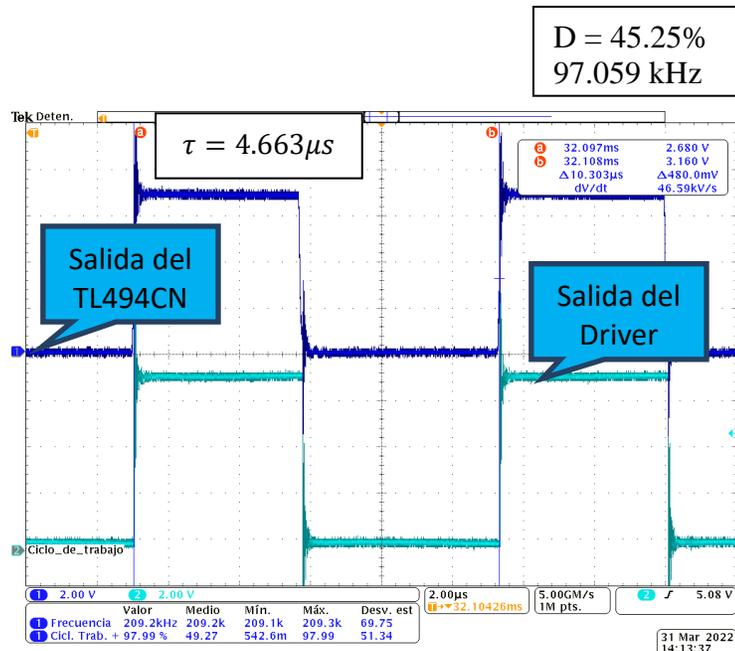


Figura 8.45. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 90°C y 81% HR

### 8.4.9 Análisis del comportamiento del ciclo de trabajo y frecuencia de conmutación en la secuencia I.

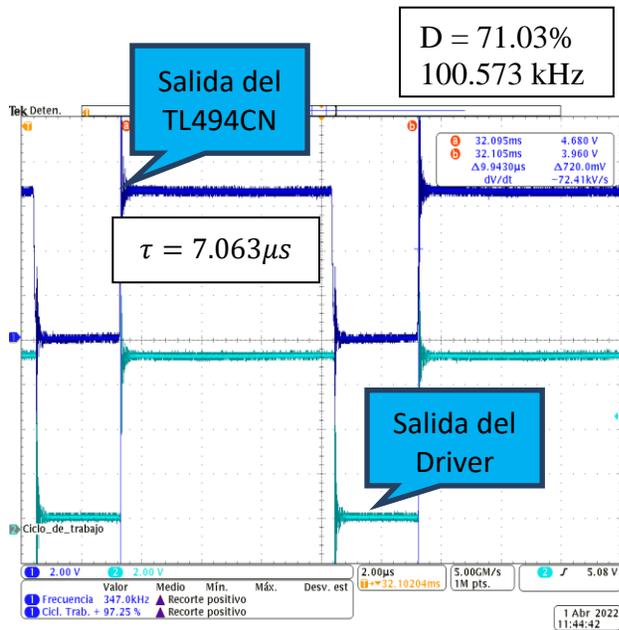


Figura 8.46. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 20°C y 80.1% HR

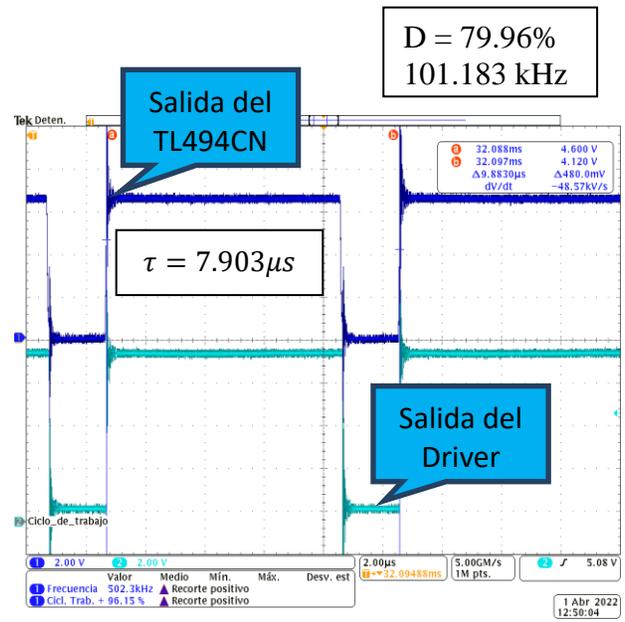


Figura 8.47. Ancho de pulso ( $\tau$ ) del TL494CN sometido a 0°C y 80% HR

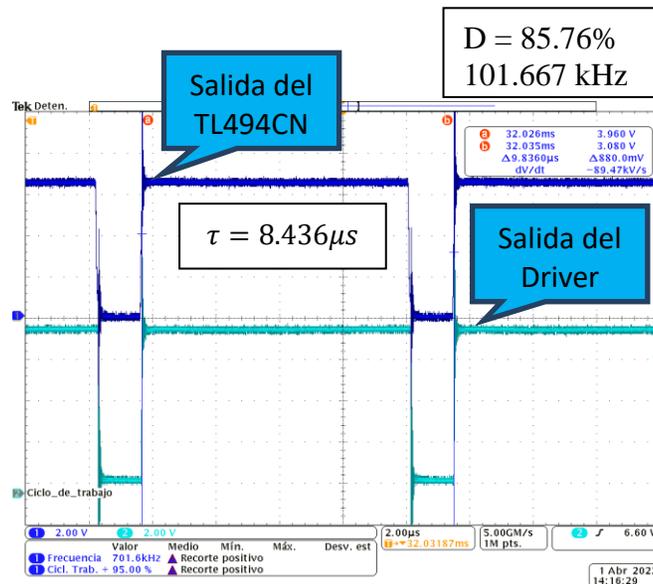


Figura 8.48. Ancho de pulso ( $\tau$ ) del TL494CN sometido a -15.7°C y 81% HR

De acuerdo al análisis del comportamiento del ciclo de trabajo y la frecuencia de conmutación de las nueve secuencias, se concluye que la humedad relativa afecta en el comportamiento de  $f_s$  y  $D$ , por ejemplo, en la Figura 8.30 se ilustra el ciclo de trabajo de 45.54 % a 90°C y 34.8% HR y en la Figura 8.45 se registró un ciclo de trabajo de 45.25 % sometido a 90°C y 81% HR, con base a lo anterior se afirma que a una temperatura similar pero a un % mayor de humedad relativa, hay un mayor impacto en el comportamiento de  $f_s$  y  $D$ .

## 8.5 RESULTADOS DE SIMULACIÓN EN PSPICE

En este apartado se muestran algunos resultados de simulación en Pspice, para ilustrar de manera gráfica el efecto de la variación. Se aplicaron los parámetros de operación obtenidos durante las secuencias del protocolo HALT:

- frecuencia de conmutación mínima ( $f_s m$ )
- frecuencia de conmutación máxima ( $f_s M$ )
- ciclo de trabajo mínimo ( $Dm$ )
- ciclo de trabajo máximo ( $DM$ )

Además, en la Tabla 8.11 se concentrarán las variables mencionadas y las capacitancias mínima ( $cap m$ ) y máxima ( $cap M$ ) para ejecutar una serie de simulaciones y analizar el rizo de voltaje a la salida ( $Vs\#$ ).

Tabla 8.11. Valores combinados de las variables para la obtención del  $Vs$  en Orcad.

I	Dm=55.29%	Cap m=1.98 uf	$f_s m=96.983$ kHz	<b>Vs1=38v</b>
II	Dm=55.29%	Cap M=2.2 uf	$f_s M=101.667$ kHz	<b>Vs2=37.8v</b>
III	Dm=55.29%	Cap m=1.98 uf	$f_s M=101.667$ kHz	<b>Vs3=38.1</b>
IV	Dm=55.29%	Cap M= 2.2 uf	$f_s m=96.983$ kHz	<b>Vs4=37.7v</b>
V	DM=85.76%	Cap m=1.98 uf	$f_s m=96.983$ kHz	<b>Vs5=119v</b>
VI	DM=85.76%	Cap M=2.2 uf	$f_s M=101.667$ kHz	<b>Vs6=117.8v</b>
VII	DM=85.76%	Cap M=2.2 uf	$f_s m=96.983$ kHz	<b>Vs7=118v</b>
VIII	DM=85.76%	Cap m=1.98 uf	$f_s M=101.667$ kHz	<b>Vs8=119v</b>

Se muestran los resultados de simulación del convertidor elevador en las Figuras 8.49 a 8.56. Se ilustra el voltaje de salida de acuerdo a la combinación de los diferentes valores de  $f_s$ , capacitancia y ciclo de trabajo de las pruebas HALT.

A 0.3 ms de operación:

- para la combinación I, el valor del voltaje de salida fue de 38 V;
- para la II fue de 37.8 V,
- para la III fue de 38.1 V,
- para la IV fue de 37.7 V,
- para la V fue de 119 V,
- para la VI fue de 117.8 V,
- para la VII fue de 118 V,
- para la VIII fue de 119 V.

Para las combinaciones que se mencionan, los valores de la amplitud pico a pico del rizo de voltaje de salida en régimen permanente fueron: 4.9 V (recuadro en Figura 8.49), 4.31 V (en la Figura 8.50), 4.71 V (en la Figura 8.51), 4.45 V (en la Figura 8.52), 24.1 V (en la Figura 8.53), 19.75 V (en la Figura 8.54), 20.5 V (en la Figura 8.55) y 21.77 V (en la Figura 8.56). Con base a las simulaciones realizadas se puede observar que, a partir de la combinación V, se obtiene un voltaje elevado tanto en la salida como en la amplitud pico a pico del rizo en régimen permanente; lo anterior se debe al alto porcentaje del ciclo de trabajo.

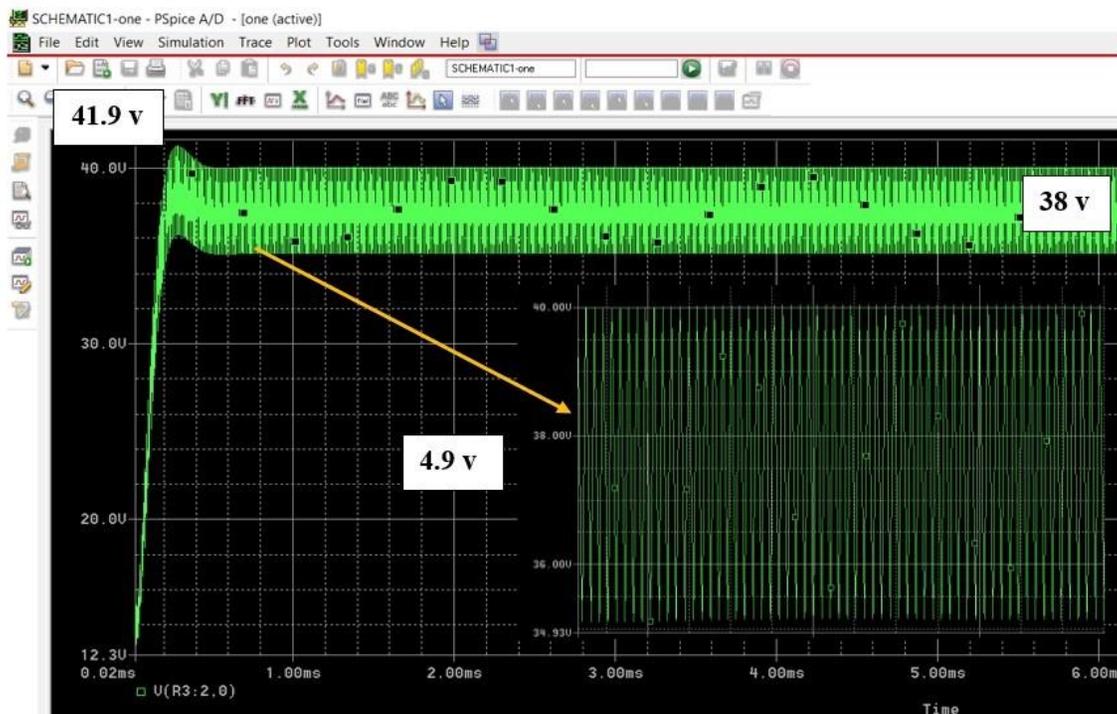


Figura 8.49. Voltaje de salida (Vs1) del convertidor elevador a una  $f_s = 96.983$  kHz,  $D_m = 55.29\%$  y  $Cap m = 1.98$  uF

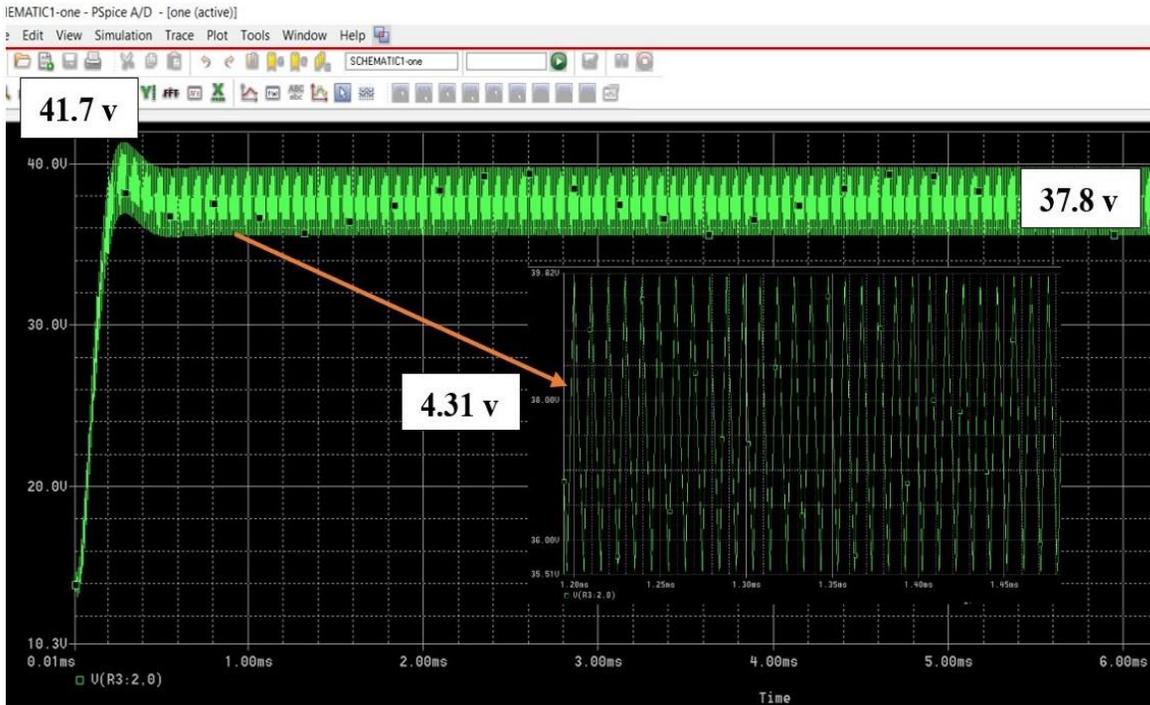


Figura 8.50. Voltaje de salida (Vs2) del convertidor elevador a una  $f_s = 101.667$  kHz,  $D_m = 55.29\%$  y  $Cap M = 2.2$  uF

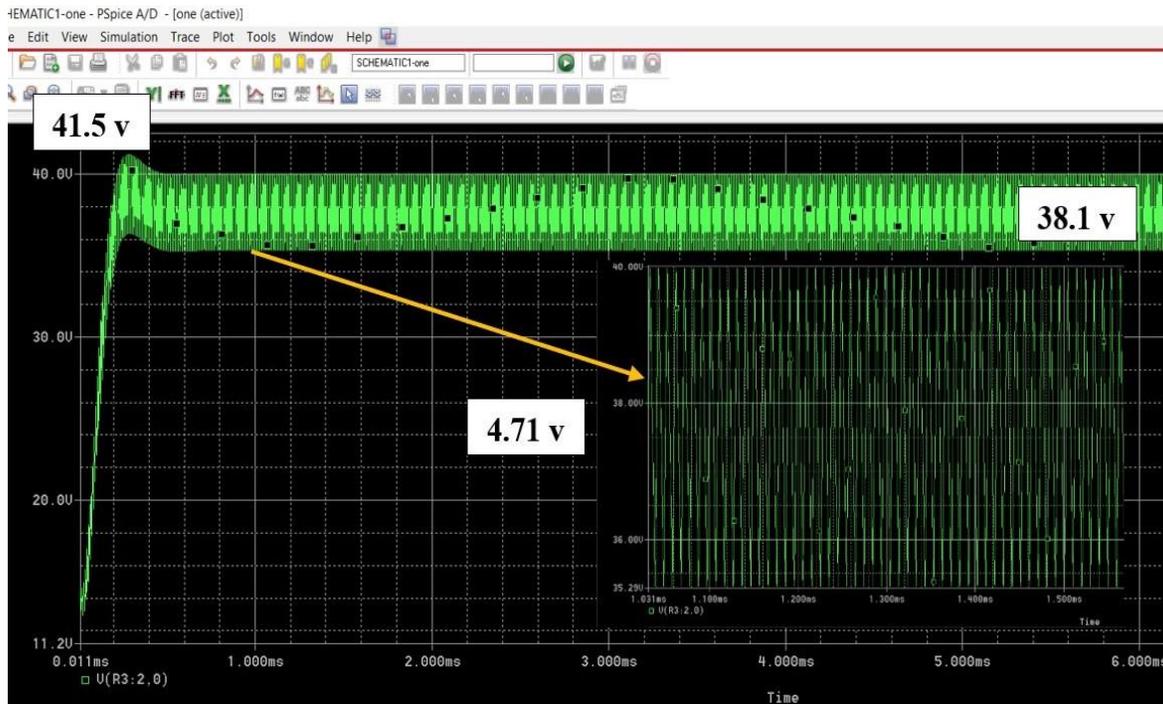


Figura 8.51. Voltaje de salida (Vs3) del convertidor elevador a una  $f_s = 101.667$  kHz,  $D_m = 55.29\%$  y  $Cap m = 1.98$  uF

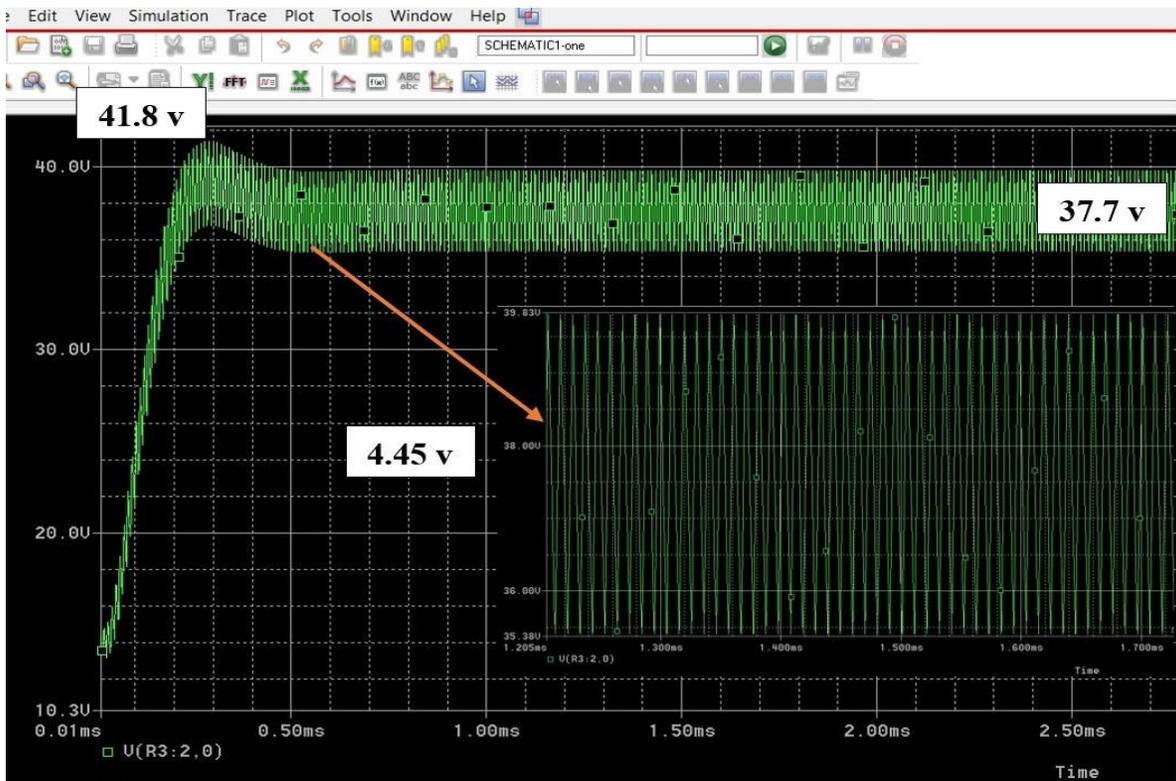


Figura 8.52. Voltaje de salida ( $V_{s4}$ ) del convertidor elevador a una  $f_s = 96.983$  kHz,  $D_m = 55.29\%$  y  $Cap M=2.2$  uf

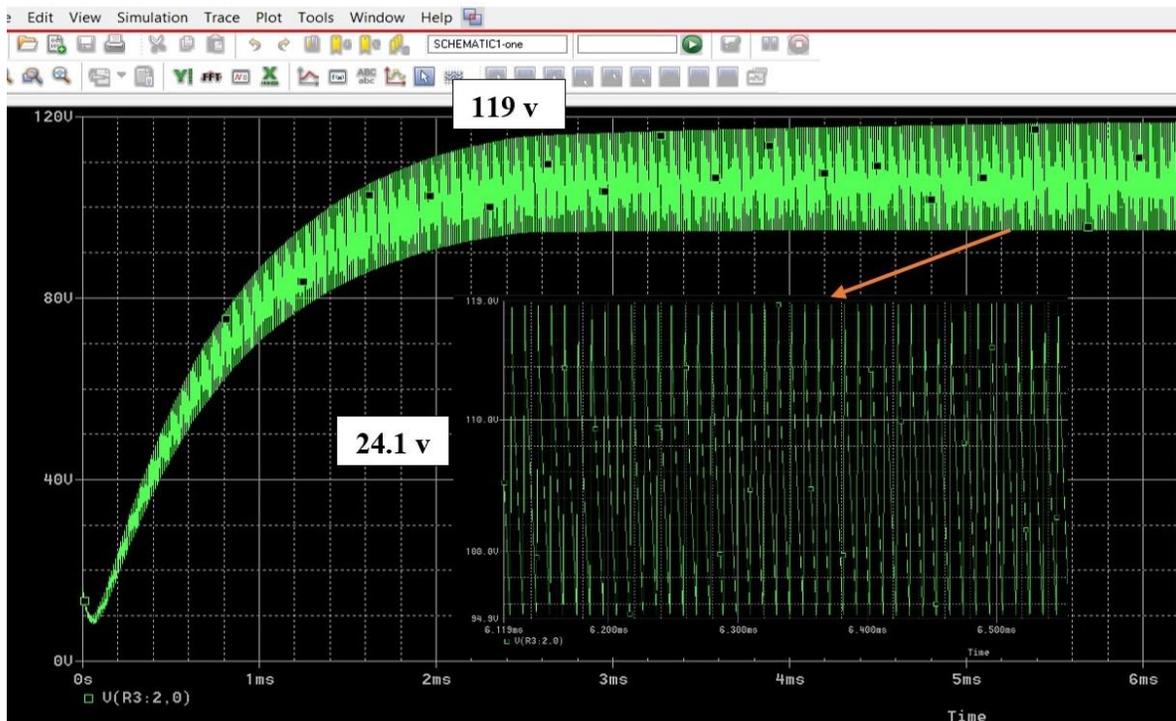


Figura 8.53. Voltaje de salida ( $V_{s5}$ ) del convertidor elevador a una  $f_s = 96.983$  kHz,  $D_m = 85.76\%$  y  $Cap m=1.98$  uf

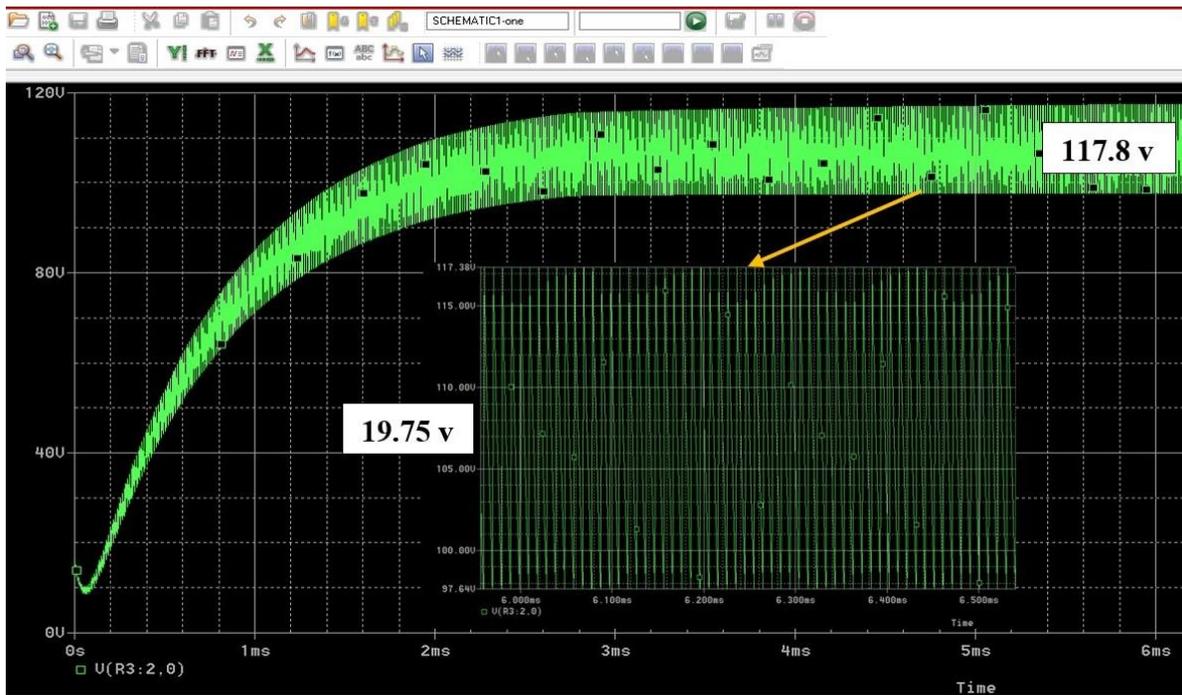


Figura 8.54. Voltaje de salida (Vs6) del convertidor elevador a una  $f_s = 101.667$  kHz,  $DM = 85.76\%$  y  $Cap M=2.2$  uf

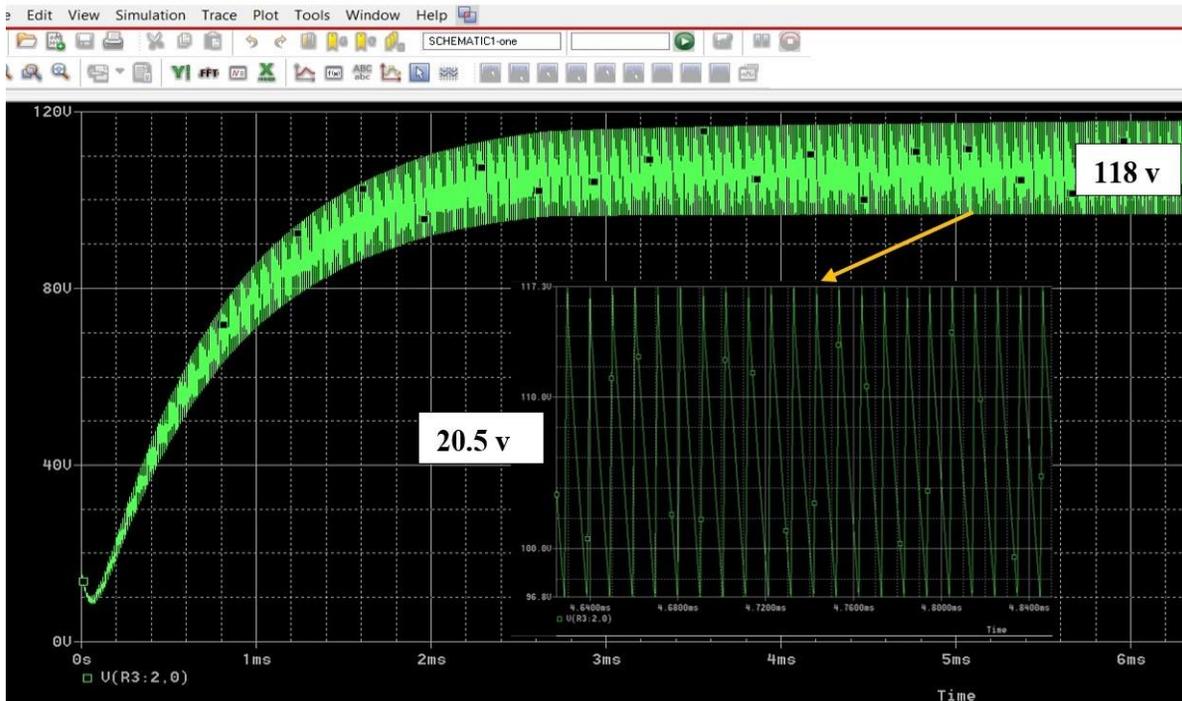


Figura 8.55. Voltaje de salida (Vs7) del convertidor elevador a una  $f_s = 96.983$  kHz,  $DM = 85.76\%$  y  $Cap M=2.2$  uf

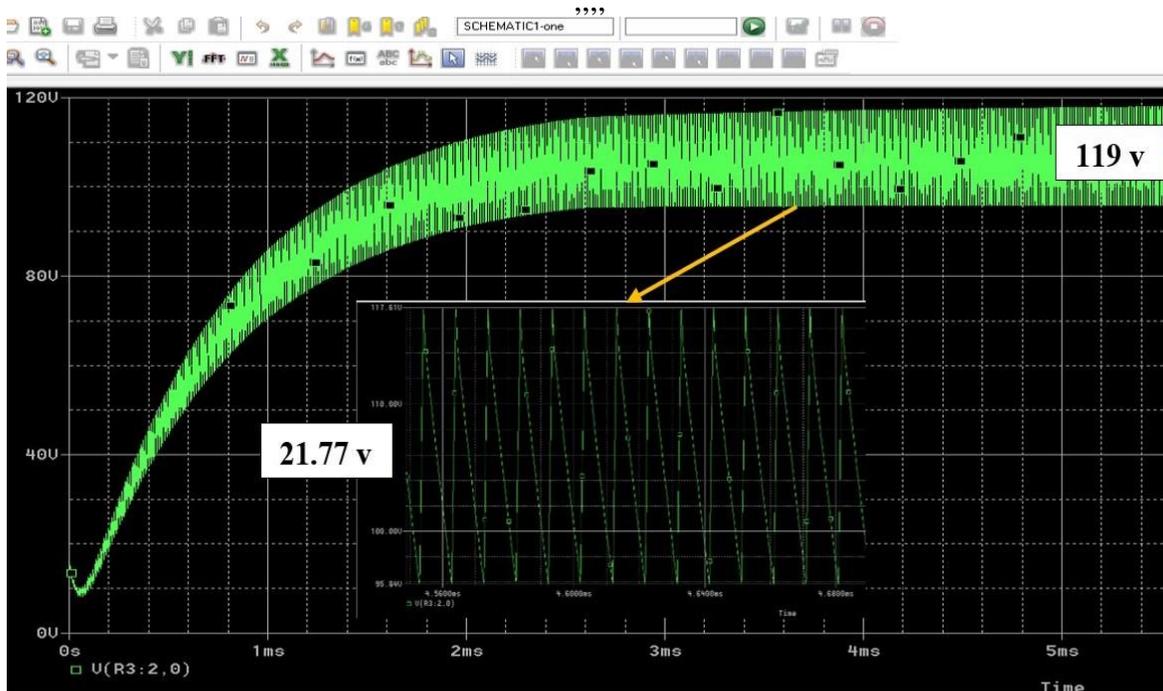


Figura 8.56. Voltaje de salida ( $V_{s8}$ ) del convertidor elevador a una  $f_s = 101.667$  kHz,  $DM = 85.76\%$  y  $Cap_m = 1.98$   $\mu$ f

## 9 CONCLUSIONES Y ACTIVIDADES FUTURAS

---

En las Figuras 8.13, 8.15, 8.16, 8.18 y 8.20, a medida que aumenta la temperatura se observa una disminución en  $f_s$  y  $D$ ; en contraste, en las Figuras 8.14, 8.17, 8.19 y 8.21 se registra un aumento en  $f_s$  y  $D$  en función de la disminución de la temperatura a partir de 20°C.

De acuerdo a los resultados, a una disminución en la temperatura, a partir de 20°C, correspondieron aumentos en la frecuencia de conmutación y en el ciclo de trabajo en el TL494CN; por otro lado, con un aumento en la temperatura a partir de 20°C se observó una disminución en la frecuencia y en el ciclo de trabajo.

Es relevante mencionar que, aunque el circuito integrado está especificado para operar correctamente hasta una temperatura de 70°C, se evidenció que el límite operativo se encuentra por arriba de 90°C, debido a que funcionó correctamente hasta esta temperatura.

No hubo discrepancias significativas en los resultados de  $D$  y  $f_s$  obtenidos con dos valores distintos de humedad (35% y 50%) a una misma temperatura. En un par de escalones se registraron diferencias poco notables; por ejemplo:

- Con 70°C y HR = 36.4% se registraron 98.522 kHz de frecuencia y 52.12 % de ciclo de trabajo;
- A la misma temperatura, pero con HR = 52.5 %, se registraron 98.125 kHz de frecuencia y 51.78 % de ciclo de trabajo.

Con esta comparación se infiere que, a un mayor porcentaje de humedad relativa, se tiene un mayor impacto en la frecuencia de conmutación y en el ciclo de trabajo del TL494CN.

Adicionalmente, es importante resaltar que, por lo general, las fichas técnicas de los componentes no indican el comportamiento con respecto a la humedad. Este trabajo se orienta también a subsanar esta falta de información.

### *Actividades futuras*

A: Como trabajo futuro se podría ejecutar el protocolo HALT a un prototipo cuyos componentes se sometan a un recubrimiento de conformación (*conformal coating*).

B: Aplicar secuencias con temperaturas más extremas (tanto mínimas y máximas), y así llevar al prototipo hasta sus límites de destrucción tanto inferior como superior.

C: Armar prototipos con un mismo diseño, pero con la implementación de componentes de fabricantes diferentes, para evidenciar el comportamiento de los mismos al someterlos a las pruebas aceleradas, y analizar si se tiene una respuesta con poca o nula discrepancia entre los prototipos.

## 10 REFERENCIAS

---

- [1] Brandy, D., (2021). Nuevo récord mundial de capacidad energética renovable en 2020 [en línea]. IRENA – International Renewable Energy Agency. [Consultado en marzo del 2022]. Disponible en :[https://www.irena.org//media/Files/IRENA/Agency/PressRelease/2021/Apr/IRENA-Capacity-Stats2020\\_PressRelease\\_Spanish.Pdf?la=en&hash=3B4B1961FE5181FED7E09B4DCC2AC3F3E852F722](https://www.irena.org//media/Files/IRENA/Agency/PressRelease/2021/Apr/IRENA-Capacity-Stats2020_PressRelease_Spanish.Pdf?la=en&hash=3B4B1961FE5181FED7E09B4DCC2AC3F3E852F722).
- [2] Roca, J. A., (2022). La inversión mundial en tecnologías limpias en 2021 [en línea]. El Periodico de la Energía con información diaria sobre energía eléctrica, eólica, renovable, petróleo y gas, mercados y legislación energética. [Consultado en marzo del 2022]. Disponible en: <https://elperiodicodelaenergia.com/la-inversion-mundial-en-tecnologias-limpas-alcanzo-un-record-de-755-000-millones-de-dolares-en-2021/>
- [3] Secretaría de Energía (SENER), 2016. Prospectiva de Talento del Sector Energía. Volumen 4: Análisis de las Cadenas de Valor del Subsector de Sustentabilidad Energética. [consultado en marzo del 2022] Available: [www.gob.mx](http://www.gob.mx)
- [4] Secretara de Energía (SENER), 2016. Prospectiva de Energías Renovables 2016-2030. [consultado en marzo del 2022] Available: [www.gob.mx](http://www.gob.mx)
- [5] Cambell, M., (2008). The drivers of Levelized Cost of electricity for utility-scale photovoltaics [en línea]. [Consultado en marzo del 2022]. Disponible en: <http://large.stanford.edu/>.
- [6] IEC 62506: métodos de prueba acelerada de productos. Ginebra: International Electrotechnical Commission.2013.
- [7] J. A. Hansen, "Effective use of accelerated testing in the medical device industry," 2013 Proceedings Annual Reliability and Maintainability Symposium (RAMS), Orlando, FL, USA, 2013, pp. 1-6, doi: 10.1109/RAMS.2013.6517713.
- [8] W. Xiaoming, X. Jinzhe and X. Jiulong, "HALT study on smart electricity meter," 2017 2nd International Conference on System Reliability and Safety (ICSRS), Milan, Italy, 2017, pp. 255-260, doi: 10.1109/ICSRS.2017.8272831.
- [9] R. Pihet, T. Hirata, H. Kawai and Y. Aoki, "Investigation of stresses in HALT (Highly Accelerated Limit Test)," 2018 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), Mie, Japan, 2018, pp. 205-210, doi: 10.23919/ICEP.2018.8374704.
- [10] H. Berger, "Accelerated reliability testing for telecommunication systems using the highly accelerated life test (HALT) and highly accelerated stress screening (HASS)," TELESCON 2000. Third International Telecommunications Energy Special Conference (IEEE Cat. No.00EX424), Dresden, Germany, 2000, pp. 49-53, doi: 10.1109/TELESC.2000.918393.
- [11] J. Huang, C. Cui, C. Gao and X. Lv, "Analog integrated circuits parameters online test system for accelerated test," 2016 11th International Conference on Reliability, Maintainability and Safety (ICRMS), Hangzhou, China, 2016, pp. 1-5, doi: 10.1109/ICRMS.2016.8050091.
- [12] Ying Liu, Zhou Yang, Hanji Ju and Lin Gan, "Electronic products accelerated testing system design and implementation," Proceedings of the IEEE 2012 Prognostics and System Health Management Conference (PHM-2012 Beijing), Beijing, China, 2012, pp. 1-5, doi: 10.1109/PHM.2012.6228908.

- [13] R. Schmidt and C. Spindler, "Failure assessment and HALT test of electrical converters," 2012 Proceedings Annual Reliability and Maintainability Symposium, Reno, NV, USA, 2012, pp. 1-6, doi: 10.1109/RAMS.2012.6175439.
- [14] A. Sastry et al., "Failure modes and effect analysis of module level power electronics," 2015 IEEE 42nd Photovoltaic Specialist Conference (PVSC), New Orleans, LA, USA, 2015, pp. 1-3, doi: 10.1109/PVSC.2015.7355990.
- [15] IEC 62506: métodos de prueba acelerada de productos. Ginebra: International Electrotechnical Commission.2013.
- [16] J. Cooper, "Introduction to HALT - making your product robust," 2017 Pan Pacific Microelectronics Symposium (Pan Pacific), Kauai, HI, USA, 2017, pp. 1-5.
- [17] F. Harada, "Outline of IEC 62506, International Standard for Accelerated Reliability Testing and Key Points", Advanced Technology Co., Ltd, 2015.
- [18] T. Tekcan and B. Kiriskan, "Reliability test procedures for achieving highly robust electronic products," 2010 Proceedings - Annual Reliability and Maintainability Symposium (RAMS), San Jose, CA, USA, 2010, pp. 1-6, doi: 10.1109/RAMS.2010.5447982.
- [19] M. Silverman, "HALT vs. ALT: when to use which technique?" RAMS '06. Annual Reliability and Maintainability Symposium, 2006., Newport Beach, CA, USA, 2006, pp. 310-312, doi: 10.1109/RAMS.2006.1677392.
- [20] G. Cohen and J. McLinn, "Setting up and analyzing a two-stress accelerated test," 2017 Annual Reliability and Maintainability Symposium (RAMS), Orlando, FL, 2017, pp. 1-5, doi: 10.1109/RAM.2017.7889778.
- [21] Kosinski, Brian, and Dennis Cronin. "Highly Accelerated Life Test (HALT) Program at Space Systems Loral." Journal of the IEST, vol. 56, no. 2, Oct. 2013, pp. 1–19. EBSCOhost, doi:10.17764/jiet.56.2.43g5n424308r4016.
- [22] Yeong-Shu Chen, and Le Hong Chuong. "Responses of a Highly Accelerated Life Test System to Impacts from Different Designs of Hammers." Advances in Mechanical Engineering (Hindawi Publishing Corporation), Jan. 2014, pp. 1–12. EBSCOhost, doi:10.1155/2014/380305.
- [23] Pang, H. L. J., et al. "Highly Accelerated Solder Joint Reliability Test Using a Thermo-Mechanical Deflection System (TMDS)." Journal of Electronics Manufacturing, vol. 10, no. 1, Mar. 2000, p. 49. EBSCOhost, doi:10.1142/S0960313100000058.
- [24] Jeon, Hong-Gyu, et al. "Design of Accelerated Life Test for Sleeve Bearing of Construction Equipment Based on Wear Prediction." Tribology Transactions, vol. 62, no. 3, May 2019, pp. 419– 427. EBSCOhost, doi:10.1080/10402004.2019.1570409.
- [25] Charki, Abdérafî, et al. "Robustness Evaluation Using Highly Accelerated Life Testing." International Journal of Advanced Manufacturing Technology, vol. 56, no. 9–12, Oct. 2011, pp. 1253–1261. EBSCOhost, doi:10.1007/s00170-011-3264-z.
- [26] Jiang, Li, et al. "A Highly Sensitive and Selective Isobutyraldehyde Sensor Based on Nanosized Sm<sub>2</sub>O<sub>3</sub> Particles." Journal of Analytical Methods in Chemistry, Apr. 2020, pp. 1–8. EBSCOhost, doi:10.1155/2020/5205724.
- [27] Schwab, Harry. "Anatomy of a HALT." Journal of the IEST, vol. 57, no. 1, Oct. 2014, pp. 57–62. EBSCOhost, doi:10.17764/jiet.57.1.k52757322222m365.
- [28] Sarosky, Daniel K. "SMALL CHANGES Big Results." Quality Progress, vol. 50, no. 2, Feb.2017, pp.36–42.EBSCOhost,search.ebscohost.com/login.aspx?direct=true&db=egs & AN=121088276&lang=es&site=ehost-live.

- [29] Suhir, E. "What Could and Should Be Done Differently: Failure-Oriented-Accelerated-Testing (FOAT) and Its Role in Making an Aerospace Electronics Device into a Product." *Journal of Materials Science: Materials in Electronics*, vol. 29, no. 4, Feb. 2018, pp. 2939–2948. EBSCOhost, doi:10.1007/s10854-017-8224-4.
- [30] Doertenbach, Neill. "Highly Accelerated Life Testing—testing with a Different Purpose." *Sound & Vibration*, vol. 35, no. 3, Mar. 2001, pp. 18–23. EBSCOhost, search.ebscohost.com/login.aspx?direct=true&db=aci&AN=500700288&lang=es&site=ehost-live.
- [31] Schauman, S. Sophie, et al. "Highly Accelerated Vessel-selective Arterial Spin Labeling Angiography Using Sparsity and Smoothness Constraints." *Magnetic Resonance in Medicine*, vol. 83, no. 3, Mar. 2020, pp. 892–905. EBSCOhost, doi:10.1002/mrm.27979.
- [32] R. Ghaffarian, "Vibration at Low and Extreme Cold Temp for QFN Assembly Reliability," 2020 19th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2020, pp. 1312-1321, doi: 10.1109/ITherm45881.2020.9190330.
- [33] H. Duan, Z. Chen, S. Li and H. Cui, "A highly accelerated life test method for computer keyboards," 2016 11th International Conference on Reliability, Maintainability and Safety (ICRMS), 2016, pp. 1-5, doi: 10.1109/ICRMS.2016.8050112.
- [34] K. Liu, C. Lv, W. Dang, P. Li, T. Zou and M. Xin, "An Integrated Method of HALT-HASS-ADT for Space Electronic Products," 2019 International Conference on Quality, Reliability, Risk, Maintenance, and Safety Engineering (QR2MSE), 2019, pp. 322-327, doi: 10.1109/QR2MSE46217.2019.9021146.
- [35] S. P. S. Eyres et al., "Temporal resolution of a pre-maximum halt in a classical nova: V5589 Sgr observed with STEREO HI-1B," in *Monthly Notices of the Royal Astronomical Society*, vol. 467, no. 3, pp. 2684-2689, Feb. 2017, doi: 10.1093/mnras/stx298.
- [36] A. Gangopadhyaya and G. Hazard, "Rapid Precipitation and Mitigation of Intermittent Faults," 2018 Annual Reliability and Maintainability Symposium (RAMS), 2018, pp. 1-6, doi: 10.1109/RAM.2018.8463092.
- [37] X. Ye, M. Lyu, C. Chen, S. Yu, Z. Dang and G. Zhai, "A HALT-Simulation Combined Fault Diagnosis and Optimization Method for Electronic Module," 2018 Annual Reliability and Maintainability Symposium (RAMS), 2018, pp. 1-7, doi: 10.1109/RAM.2018.8463096.
- [38] C. Laplante, "Improving Reliability Throughout the Product Life Cycle," 2018 Annual Reliability and Maintainability Symposium (RAMS), 2018, pp. 1-4, doi: 10.1109/RAM.2018.8463120.
- [39] M. Mu, X. Wang, L. Wang and W. Fan, "Remaining useful life estimation of products under highly accelerated stress screening," 2016 Annual Reliability and Maintainability Symposium (RAMS), 2016, pp. 1-5, doi: 10.1109/RAMS.2016.7447998.
- [40] E. Nogueira, "Análisis de fiabilidad de Leds de AlInGaP de alta eficiencia luminosa", tesis doctoral, Escuela Universitaria de Ingeniería Técnica de Telecomunicación, Universidad Politécnica de Madrid, Madrid, octubre, 2013.
- [41] M.H, Rashid, *Electrónica de potencia*, segunda edición. Edo de México: Prentice Hall Hispanoamericana, S.A, 1995.
- [42] Datasheet del TL494CN obtenido de On semiconductor. [Consultado en julio del 2022] Available: <http://onsemi.com>

- [43] Datasheet del MIC4420YN obtenido de Micrel. Inc. [Consultado en julio del 2022] Available: <http://www.micrel.com>
- [44] Yasuhisa Omura; Abhijit Mallik; Naoto Matsuo, "Bulk MOSFET," in MOS Devices for Low-Voltage and Low-Energy Applications , IEEE, 2016, pp.19-28, doi: 10.1002/9781119107361.
- [45] A. Mavinkurve, J.L.M. Llacer Martinez, M. van Soestbergen, J.J.M. Zaal. Moisture absorption by molding compounds under extreme conditions: Impact on accelerated reliability tests. Microelectronics Reliability, Volume 64, 2016, Pages 254-258, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2016.07.105>.
- [46] Leon Lantz, Seongdeok Hwang, Michael Pecht. Characterization of plastic encapsulant materials as a baseline for quality assessment and reliability testing. Microelectronics Reliability, Volumen 42, Número 8, 2002, Pp. 1163-1170, ISSN 0026-2714, [https://doi.org/10.1016/S0026-2714\(02\)00091-4](https://doi.org/10.1016/S0026-2714(02)00091-4).
- [47] Z. Li, H. Li, T. Qiu, F. Lin and Y. Wang, "Moisture Induced Weight Gain Relation to Capacitance Loss Characteristic of Film Capacitors under Harsh Enviroment," 2021 IEEE 4th International Electrical and Energy Conference (CIEEC), 2021, pp. 1-4, doi: 10.1109/CIEEC50170.2021.9510996.
- [48] Z. Ping, W. Li, R. Li-gang and Z. Jian-feng, "Temperature effects on performance of SiC power transistors (SiC JFET and SiC MOSFET)," 2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe), 2015,pp. 1-10, doi: 10.1109/EPE.2015.7309249.
- [49] J. Kirchhof and S. Kitterer, "Degradation from metallized polymer film capacitors with the dielectric polypropylene under the influence of humid heat," Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, 2015, pp. 1-8.
- [50] H. Wang, et al., Degradation testing and failure analysis of DC film capacitors under high humidity conditions, Microelectronics Reliability (2015), <http://dx.doi.org/10.1016/j.microrel.2015.06.011>.
- [51] JESD22-A100E: Cycled Temperature-Humidity-Bias with Surface Condensation Life Test. Jedec Solid State Technology Association. Noviembre 2020.
- [52] JESD22-A101D.01: Steady-State Temperature-Humidity Bias Life Test. Jedec Solid State Technology Association. Enero 2021.
- [53] JESD22-A102E: Accelerated Moisture Resistance - Unbiased Autoclave. Jedec Solid State Technology Association. Enero 2021.
- [54] JESD22-A110E.01: Highly Accelerated Temperature and Humidity Stress Test (HAST). Jedec Solid State Technology Association. Mayo 2021.
- [55] JESD22-A118B.01: Accelerated Moisture Resistance -Unbiased HAST. Jedec Solid State Technology Association. Mayo 2021.
- [56] JP002: Current Tin Whiskers Theory and Mitigation Practices Guideline. Jedec Solid State Technology Association and IPC ASSOCIATION CONNECTING ELECTRONICS INDUSTRIES®. Marzo 2006.
- [57] JESD86A: Electrical Parameters Assessment. Jedec Solid State Technology Association. Septiembre 2020.
- [58] JESD237: Reliability Qualification of Power Amplifier Modules. Jedec Solid State Technology Association. Marzo 2014.
- [59] Military Specification MIL-I-46058C: Insulating Compound, Electrical (for Coating Printed Circuit Assemblies). Department of Defense. EUA, 1971.

- [60] R. A. Dunaetz and A. W. Schwmer, "Optimizing conformal coating reliability and cost for military electronics," 1971 EIC 10th Electrical Insulation Conference, 1971, pp. 157-161, doi: 10.1109/EIC.1971.7460800.
- [61] P. Dobriyal, S. Ramalingam, S. L. Lim and A. Kurella, "Conformal coating challenges: Detection, rework and failure analysis," 2016 Pan Pacific Microelectronics Symposium (Pan Pacific), 2016, pp. 1-6, doi: 10.1109/PanPacific.2016.7428411.
- [62] IEC 62506: métodos de prueba acelerada de productos. Ginebra: International Electrotechnical Commission.2013.
- [63] M. Silverman. HALT vs. ALT: when to use which technique? RAMS 2006 Annual Reliability and Maintainability Symposium (pp. 310-312). Newport Beach, Ca.: IEEE, 2006.
- [64] Gray, K. A. y Paschkewitz, J. J., (2016). Next generation HALT and HASS: robust design of electronics and systems. WILEY.
- [65] N. Mohan, T. Undeland y W. Robbins, "Step-Up (Boost) Converter" de Power electronics: Converters, Applications and Design, New York, John Wiley & Sons, Inc, 1995, pp. 172-178.
- [66] Kosinski, Brian, and Dennis Cronin. "Highly Accelerated Life Test (HALT) Program at Space Systems Loral." Journal of the IEST, vol. 56, no. 2, Oct. 2013, pp. 1–19. EBSCOhost, doi:10.17764/jiet.56.2.43g5n424308r4016.
- [67] Yeong-Shu Chen, and Le Hong Chuong. "Responses of a Highly Accelerated Life Test System to Impacts from Different Designs of Hammers." Advances in Mechanical Engineering (Hindawi Publishing Corporation), Jan. 2014, pp. 1–12. EBSCOhost, doi:10.1155/2014/380305.
- [68] Charki, Abdérafî, et al. "Robustness Evaluation Using Highly Accelerated Life Testing." International Journal of Advanced Manufacturing Technology, vol. 56, no. 9–12, Oct. 2011, pp. 1253–1261. EBSCOhost, doi:10.1007/s00170-011-3264-z.
- [69] Schwab, Harry. "Anatomy of a HALT." Journal of the IEST, vol. 57, no. 1, Oct. 2014, pp. 57–62. EBSCOhost, doi:10.17764/jiet.57.1.k52757322222m365.
- [70] Sarosky, Daniel K. "SMALL CHANGES Big Results." Quality Progress, vol. 50, no. 2, Feb. 2017, pp. 36–42. EBSCOhost, search. ebscohost.com/login.aspx?direct=true&db=egs&AN=121088276&lang=es&site=ehost-live.
- [71] Suhir, E. "What Could and Should Be Done Differently: Failure-Oriented-Accelerated-Testing (FOAT) and Its Role in Making an Aerospace Electronics Device into a Product." Journal of Materials Science: Materials in Electronics, vol. 29, no. 4, Feb. 2018, pp. 2939–2948. EBSCOhost, doi:10.1007/s10854-017-8224-4.
- [72] Doertenbach, Neill. "Highly Accelerated Life Testing—testing with a Different Purpose." Sound & Vibration, vol. 35, no. 3, Mar. 2001, pp. 18–23. EBSCOhost, search.ebscohost.com/login.aspx?direct=true&db=aci&AN=500700288&lang=es&site=ehost-live.

- [73] K. Liu, C. Lv, W. Dang, P. Li, T. Zou and M. Xin, "An Integrated Method of HALT-HASS-ADT for Space Electronic Products," 2019 International Conference on Quality, Reliability, Risk, Maintenance, and Safety Engineering (QR2MSE), 2019, pp. 322-327, doi: 10.1109/QR2MSE46217.2019.9021146.
- [74] J. Cooper, "Reliability Engineering Techniques for Consumer Products," 2019 Pan Pacific Microelectronics Symposium (Pan Pacific), 2019, pp. 1-6, doi: 10.23919/PanPacific.2019.8696677.
- [75] G. K. Morris, "Taking the (emotional) stress out of HALT," 2017 Annual Reliability and Maintainability Symposium (RAMS), 2017, pp. 1-6, doi: 10.1109/RAM.2017.7889745.
- [76] A. Gangopadhyaya and G. Hazard, "Rapid Precipitation and Mitigation of Intermittent Faults," 2018 Annual Reliability and Maintainability Symposium (RAMS), 2018, pp. 1-6, doi: 10.1109/RAM.2018.8463092.
- [77] X. Ye, M. Lyu, C. Chen, S. Yu, Z. Dang and G. Zhai, "A HALT-Simulation Combined Fault Diagnosis and Optimization Method for Electronic Module," 2018 Annual Reliability and Maintainability Symposium (RAMS), 2018, pp. 1-7, doi: 10.1109/RAM.2018.8463096.
- [78] C. Laplante, "Improving Reliability Throughout the Product Life Cycle," 2018 Annual Reliability and Maintainability Symposium (RAMS), 2018, pp. 1-4, doi: 10.1109/RAM.2018.8463120.
- [79] L. J. Opalski, "Efficient global sensitivity analysis method for models of systems with functional outputs," 2015 European Conference on Circuit Theory and Design (ECCTD), 2015, pp. 1-4, doi: 10.1109/ECCTD.2015.7300048.
- [80] J. Yang, G. Buticchi, H. Yan, C. Gu, H. Zhang and P. Wheeler, "Impedance-based Sensitivity Analysis of Dual Active Bridge DC-DC Converter," 2019 IEEE 13th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG), 2019, pp. 1-5, doi: 10.1109/CPE.2019.8862418.
- [81] A. Khaligh, A. M. Rahimi, M. Khaligh and A. Emadi, "Sensitivity Analyses of Pulse Adjustment Control Technique of a Buck-Boost Converter Operating in Discontinuous Conduction Mode and Driving Constant Power Loads," 2006 IEEE Vehicle Power and Propulsion Conference, 2006, pp. 1-5, doi: 10.1109/VPPC.2006.364356.
- [82] A. Sharma, M. Gupta and R. Gupta, "Voltage Sensitivity Analysis of DC-DC Converter at MPPT for Different Types of Load," 2019 Innovations in Power and Advanced Computing Technologies (i-PACT), 2019, pp. 1-6, doi: 10.1109/i-PACT44901.2019.8960241.
- [83] J. Terpák, P. Flegner, J. Kačur, M. Laciak, M. Durdán and G. Tréfa, "Utilization of the Mathematical Model of the Converter Process for the Sensitivity Analysis," 2019 20th

- International Carpathian Control Conference (ICCC), 2019, pp. 1-4, doi: 10.1109/CarpathianCC.2019.8766019.
- [84] E. Ebrahimzadeh, F. Blaabjerg, X. Wang and C. L. Bak, "Dynamic resonance sensitivity analysis in wind farms," 2017 IEEE 8th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), 2017, pp. 1-5, doi: 10.1109/PEDG.2017.7972481.
- [85] W. Wang, Y. Liu, Z. He and J. Zhao, "Design Considerations of LLC Resonant Converters Based on Parameter Sensitivity Analysis," 2019 IEEE 7th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), 2019, pp. 297-301, doi: 10.1109/WiPDA46397.2019.8998871.
- [86] T. Funck, T. Spiegel and A. Ihring, "Planar Multijunction Thermal Converters With Increased Sensitivity Operated in Hermetically Sealed Housings Filled With Noble Gas," in *IEEE Transactions on Instrumentation and Measurement*, vol. 68, no. 6, pp. 2003-2006, June 2019, doi: 10.1109/TIM.2018.2877954.
- [87] R. Moeini, P. Tricoli, H. Hemida and C. Baniotopoulos, "Sensitivity analysis of switching electrical parameters of semiconductor devices for wind turbine converters," 2017 6th International Conference on Clean Electrical Power (ICCEP), 2017, pp. 572-577, doi: 10.1109/ICCEP.2017.8004745.
- [88] Y. Liu, C. K. Tse, C. Zhu and S. -C. Wong, "Comparison of Second-Order and Third-Order Compensation of Inductive Power Transfer Converters Based on Sensitivity Analysis," 2020 IEEE International Symposium on Circuits and Systems (ISCAS), 2020, pp. 1-5, doi: 10.1109/ISCAS45731.2020.9181018.
- [89] P. Napolitano and K. Kelliher, "Design of voltage regulators for automotive applications: A sensitivity-driven approach," 2017 28th Irish Signals and Systems Conference (ISSC), 2017, pp. 1-4, doi: 10.1109/ISSC.2017.7983617.
- [90] P. Malik, M. Awasthi and S. Sinha, "Analysis of sensitive parameters influencing a SPV/WT/Biomass/Battery based hybrid system," 2019 8th International Conference on Power Systems (ICPS), 2019, pp. 1-6, doi: 10.1109/ICPS48983.2019.9067637.
- [91] M. Pastura, S. Nuzzo, G. Franceschini, G. Sala and D. Barater, "Sensitivity Analysis on the Voltage Distribution within Windings of Electrical Machines fed by Wide Band Gap Converters," 2020 International Conference on Electrical Machines (ICEM), 2020, pp. 1594-1600, doi: 10.1109/ICEM49940.2020.9270958.
- [92] M. Kumar and R. Gupta, "Stability and Sensitivity Analysis of Uniformly Sampled DC-DC Converter With Circuit Parasitics," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, no. 11, pp. 2086-2097, Nov. 2016, doi: 10.1109/TCSI.2016.2598834.

- [93] D. Han, J. Fang, J. Yu, Y. Tang and V. Debusschere, "Small-Signal Modeling, Stability Analysis, and Controller Design of Grid-Friendly Power Converters with Virtual Inertia and Grid-Forming Capability," 2019 IEEE Energy Conversion Congress and Exposition (ECCE), 2019, pp. 27-33, doi: 10.1109/ECCE.2019.8912534.
- [94] P. Song, Z. Xu, C. Luo, H. Cai and Z. Xie, "Voltage sensitivity analysis based bus voltage regulation in transmission systems with UPFC series converter," IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society, 2017, pp. 483-488, doi: 10.1109/IECON.2017.8216085.
- [95] A. Omar, A. Mukherjee, W. Liang, Y. Zhang, P. Sakalas and M. Schröter, "82 GHz direct up-converter mixer using double-balanced Gilbert cell with sensitivity analysis at mm-wave frequency," 2019 IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS), 2019, pp. 1-4, doi: 10.1109/BCICTS45179.2019.8972765.
- [96] N. Farrokhseresht, A. A. van der Meer, J. R. Torres, M. A. M. M. van der Meijden and P. Palensky, "Increasing the Share of Wind Power by Sensitivity Analysis based Transient Stability Assessment," 2019 2nd International Conference on Smart Grid and Renewable Energy (SGRE), 2019, pp. 1-6, doi: 10.1109/SGRE46976.2019.9020677.
- [97] Y. Amagai, H. Fujiki and K. Okawa, "Improved Power Coefficient of Sensitivity in a Series-Parallel Circuit of Thermal Converters," 2018 Conference on Precision Electromagnetic Measurements (CPEM 2018), 2018, pp. 1-2, doi: 10.1109/CPEM.2018.8500874.
- [98] P. Omer, J. Kumar and B. S. Surjan, "Design of robust PID controller for Buck converter using Bat algorithm," 2016 IEEE 1st International Conference on Power Electronics, Intelligent Control and Energy Systems (ICPEICES), 2016, pp. 1-5, doi: 10.1109/ICPEICES.2016.7853209.
- [99] L. Tu, Y. Yang, W. Xu, J. Yang and H. Pang, "Reliability calculation model of converter station for MMC-HVDC Power Transmission system and its application," 2019 4th IEEE Workshop on the Electronic Grid (eGRID), 2019, pp. 1-5, doi: 10.1109/eGRID48402.2019.9092732.
- [100] A. Brockschmidt, R. Carpenter and F. Shi, "Guidelines and examples for performing worst case analysis," APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings (Cat. No.99CH36285), 1999, pp. 930-936 vol.2, doi: 10.1109/APEC.1999.750481.
- [101] U. Ribes-Mallada, R. Leyva and P. Garcés, "Sensitivity analysis in boost converters optimal design," 11th International Conference on Electrical Power Quality and Utilisation, 2011, pp. 1-6, doi: 10.1109/EPQU.2011.6128898.
- [102] U. Ribes-Mallada, R. Leyva and P. Garcés, "Sensitivity analysis in Dc-Dc converter optimal design," 2011 IEEE International Symposium on Industrial Electronics, 2011, pp. 358-364, doi: 10.1109/ISIE.2011.5984185.

- [103] N. R. Mehrabadi, R. Burgos, D. Boroyevich and C. Roy, "Sensitivity analysis of a modular multilevel converter," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), 2015, pp. 3578-3584, doi: 10.1109/ECCE.2015.7310166.
- [104] H. Wang, P. Diaz Reigosa and F. Blaabjerg, "A humidity-dependent lifetime derating factor for DC film capacitors," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), 2015, pp. 3064-3068, doi: 10.1109/ECCE.2015.7310088.
- [105] D. Dong, W. Zhang, Z. Chen and K. Lu, "A life evaluation method of film capacitor using accelerated life testing," 2016 11th International Conference on Reliability, Maintainability and Safety (ICRMS), 2016, pp. 1-5, doi: 10.1109/ICRMS.2016.8050080.
- [106] A. Vasan, L. Laskai and M. Ilic, "Defining humidity test duration for microinverter reliability assessment: A physics-of-failure approach," 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), 2017, pp. 2336-2340, doi: 10.1109/APEC.2017.7931026.
- [107] J. Kirchhof and S. Kitterer, "Degradation from metallized polymer film capacitors with the dielectric polypropylene under the influence of humid heat," Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, 2015, pp. 1-8.
- [108] J. Rajmond and P. Dan, "Investigating capacitor lifetimes under thermal stress," 2012 4th Electronic System-Integration Technology Conference, 2012, pp. 1-6, doi: 10.1109/ESTC.2012.6542199.