



**EDUCACIÓN**

SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO  
NACIONAL DE MÉXICO

# Tecnológico Nacional de México

Centro Nacional de Investigación  
y Desarrollo Tecnológico

## Tesis de Maestría

Detección de Fallas en el Módulo de Potencia  
IRAMS10UP60B

presentada por  
**Ing. Saul Tabares Delgado**

como requisito para la obtención del grado de  
**Maestro en Ciencias en Ingeniería Electrónica**

Director de tesis  
**Dr. Rodolfo Amalio Vargas Méndez**

Codirector de tesis  
**Dr. Jesus Aguayo Alquicira**

Cuernavaca, Morelos, México. Noviembre de 2019.



Centro Nacional de Investigación y Desarrollo Tecnológico  
Departamento de Ingeniería Electrónica

"2019, Año del Caudillo del Sur, Emiliano Zapata"

Cuernavaca, Mor., 18/noviembre/2019  
No. de Oficio: DIE/248/2019  
Asunto: Aceptación de documentos de tesis

**DR. GERARDO VICENTE GUERRERO RAMÍREZ**  
SUBDIRECTOR ACADÉMICO  
PRESENTE

Por este conducto, los integrantes de Comité Tutorial del **C. Ing. Saul Tabares Delgado**, con número de control **M17CE069** de la Maestría en Ciencias en Ingeniería Electrónica, le informamos que hemos revisado el trabajo de tesis profesional titulado **"Detección de fallas en el módulo de potencia IRAMS10UP60B"** y hemos encontrado que se han realizado todas las correcciones y observaciones que se le indicaron, por lo que hemos acordado aceptar el documento de tesis y le solicitamos la autorización de impresión definitiva.

DIRECTOR DE TESIS

Dr. Rodolfo Amalio Vargas Méndez  
Doctor en Ciencias en Ingeniería Electrónica  
Cédula profesional 9526506

CODIRECTOR DE TESIS

Dr. Jesús Aguayo Alquicira  
Doctor en Ciencias en Ingeniería Electrónica  
Cédula profesional 4706315

REVISOR 1

Dr. Luis Gerardo Vela Valdés  
Doctor en Ciencias en Ingeniería Electrónica  
Cédula profesional 7980044

REVISOR 2

Dr. Gabriel Calzada Lara  
Doctor en Ingeniería Eléctrica  
Cédula profesional 7599980

REVISOR 3

Dr. Jesús Darío Mina Antonio  
Doctor en Ingeniería  
Cédula profesional 6094069

C.p. M.E. Guadalupe Garrido Rivera- Jefa del Departamento de Servicios Escolares  
Estudiante  
Expediente

MPS/lrr.

Interior Internado Palmira S/N, Col. Palmira, C. P. 62490, Cuernavaca, Morelos.  
Tel. (01) 777 3 62 77 70, ext. 2225, e-mail: die@cenidet.edu.mx



"2019, Año del Caudillo del Sur, Emiliano Zapata"

Cuernavaca, Morelos, **26/noviembre/2019**

OFICIO No. SAC/337/2019

Asunto: Autorización de impresión de tesis

**ING. SAUL TABARES DELGADO.  
CANDIDATO AL GRADO DE MAESTRO EN CIENCIAS  
EN INGENIERÍA ELECTRÓNICA  
PRESENTE**

Por este conducto, tengo el agrado de comunicarle que el Comité Tutorial asignado a su trabajo de tesis titulado "Detección de fallas en el módulo de potencia IRAMS10UP60B", ha informado a esta Subdirección Académica, que están de acuerdo con el trabajo presentado. Por lo anterior, se le autoriza a que proceda con la impresión definitiva de su trabajo de tesis.

Esperando que el logro del mismo sea acorde con sus aspiraciones profesionales, reciba un cordial saludo

**ATENTAMENTE**

*Excelencia en Educación Tecnológica®  
"Conocimiento y tecnología al servicio de México"*

**DR. GERARDO VICENTE GUERRERO RAMÍREZ  
SUBDIRECTOR ACADÉMICO**



SEP TecNM  
CENTRO NACIONAL  
DE INVESTIGACIÓN  
Y DESARROLLO  
TECNOLÓGICO  
SUBDIRECCIÓN  
ACADÉMICA

C.p. Departamento de Servicios Escolares.  
Expediente

GVGR/ego



## **Dedicatoria**

### **A mis padres**

Soledad Delgado Avelino y Pascual Tabares Díaz

Por su apoyo incondicional y sus valiosos consejos que no me dejaron desviarme del camino para cumplir esta gran meta.

### **A mi familia**

A todos mis hermanos y familiares en general, que de una u otra forma me motivaron a seguir adelante.

## **Agradecimientos**

A mi asesor el Dr. Rodolfo Amalio Vargas Méndez y a mi co-asesor el Dr. Jesus Aguayo Alquicira, por la atención, paciencia y comentarios brindados durante el desarrollo de este trabajo de tesis.

A mis revisores de tesis Dr. Gabriel Calzada Lara y Dr. Luis Gerardo Vela Valdés, por sus correcciones, comentarios y recomendaciones.

A mis profesores, Dr. Jesus aguayo Alquicira, Dr. Luis Gerardo Vela Valdes, Dr. Gabriel Calzada Lara, Dr. Hugo Calleja, Dr. Abraham Claudio, Dr. Mario Ponce, Dr. Jaime Eugenio Arau, Dr. Jesús Darío Mina, por sus valiosas enseñanzas.

A la Lic. Lorena Ruiz Ramírez, por su apoyo en los trámites de titulación y su valiosa ayuda, así como al personal académico y administrativo por el apoyo recibido durante mi estancia en este centro de investigación.

A mis padres, hermanos y familia en general, por su gran apoyo en esta etapa de mi vida.

Al Centro Nacional de Investigación y Desarrollo Tecnológico (cenidet) por haberme dado la oportunidad de realizar mis estudios de posgrado en el área de maestría en ciencias en ingeniería electrónica.

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) por el apoyo económico durante mi estancia en cenidet.

# Contenido

<b>Resumen</b> .....	viii
<b>Abstract</b> .....	ix
<b>Índice de figuras</b> .....	x
<b>Índice de tablas</b> .....	xii
<b>Nomenclatura</b> .....	xiii
<b>Acrónimos</b> .....	xiv
<b>Capítulo 1 Introducción</b> .....	1
<b>1.1 Antecedentes</b> .....	1
<b>1.2 Revisión del estado del arte</b> .....	2
<b>1.3 Planteamiento del problema</b> .....	6
<b>1.4 Propuesta de solución</b> .....	7
<b>1.5 Objetivo general y objetivos específicos</b> .....	7
<b>1.6 Alcance y limitaciones</b> .....	8
<b>1.7 Organización del documento</b> .....	8
<b>Capítulo 2 Diagnóstico de fallas en inversores</b> .....	9
<b>2.1 Conceptos básicos</b> .....	9
<b>2.1.1 Fallas</b> .....	11
<b>2.2 Diagnóstico de fallas</b> .....	12
<b>2.2.1 Objetivo del diagnóstico de fallas</b> .....	12
<b>2.3 El sistema de diagnóstico</b> .....	13
<b>2.4 Esquema de Diagnóstico</b> .....	14
<b>2.4.1 Generación de residuos</b> .....	16
<b>2.4.2 Evaluación de residuos</b> .....	21
<b>2.4.3 Decisión de la falla</b> .....	25
<b>2.5 El convertidor CD-CA</b> .....	28
<b>2.5.1 Fallas en los convertidores CD-CA</b> .....	28
<b>2.5.2 Fallas en los dispositivos semiconductores</b> .....	28
<b>2.6 Técnica de detección de fallas de modelo paralelo</b> .....	30

2.7 Técnica de detección de fallas propuesta .....	32
2.7.1 Metodología .....	32
2.7.2 Generación de residuos propuesto.....	32
2.7.3 Evaluación de residuos .....	34
2.7.4 Decisión de las fallas .....	35
Capítulo 3 Diseño y construcción del prototipo .....	37
3.1 Diseño del prototipo .....	37
3.1.1 El módulo de potencia integrado IRAMS10UP60B .....	38
3.1.2 Diseño de la Técnica de control PWM .....	40
3.1.3 Circuito de detección de fallas .....	43
3.1.4 Carga resistiva y bus de CD .....	47
3.2 Construcción del prototipo.....	48
Capítulo 4 Pruebas y resultados experimentales .....	49
4.1 Protocolo de pruebas para fallas por sobrecorriente.....	49
4.1.1 Resultados experimentales .....	52
4.2 Protocolo de pruebas para fallas por sobretensión.....	55
4.2.1 Resultados experimentales .....	58
Capítulo 5 Conclusiones y trabajos futuros.....	65
5.1 Conclusiones del trabajo .....	65
5.2 Trabajos futuros.....	66
Referencias.....	68
ANEXO A. Proceso para la implementación de la técnica de control PWM de ancho de pulso constante .....	71
ANEXO B. Diseño de placas para la construcción del prototipo .....	79
ANEXO C. Pruebas de detección de fallas al módulo IRAMS10UP60B a alta frecuencia de conmutación.....	84

## Resumen

En este trabajo de tesis se propone una técnica de detección de fallas por sobre-corriente y sobre-temperatura para módulos de potencia integrados (I.P.M por sus siglas en inglés Integrated Power Module), que son básicamente inversores trifásicos puente completo, los cuales, tienen un amplio rango de aplicación: las fuentes de alimentación conectadas a la red eléctrica o autónomas, donde la frecuencia y el voltaje son fijos y los accionadores o controladores de motores donde son variables.

La mayoría de estos módulos tienen integrados monitores de sobre-temperatura, de sobre-corriente y un pin de habilitación. A comparación de las técnicas de diagnóstico comunes aplicadas a inversores trifásicos contruidos con dispositivos individuales que usan corrientes de fase y señales de control de compuerta PWM, el método propuesto no utiliza sensores adicionales, si no que usa los que trae integrados el módulo IPM.

La detección de fallas se realiza mediante la aplicación de una técnica basada en el modelo paralelo, el cual, es un método sencillo y practico de implementar. Este método describe la estructura física y el comportamiento del sistema libre de falla y lo compara con el modelo real para la generación de residuos. Después de esto, los residuos se evalúan por medio de verificación de umbrales para generar síntomas que indican una determinada falla. Por último, estos síntomas son llevados a un bloque de decisión, el cual se encarga de comparar y verificar si existe una falla, obteniendo con ello el diagnóstico completo.



## **Abstract**

In this thesis work we propose a fault detection technique by over-current and over-temperature for integrated power modules (I.P.M for its acronym in English Integrated Power Module), which are basically three-phase inverters full bridge, which have a wide range of application: power supplies connected to the electrical grid or autonomous, where the frequency and voltage are fixed and the drives or controllers of motors where they are variable.

Most of these modules have integrated over-temperature monitors, over-current monitors and an enabling pin. Compared to common diagnosis techniques applied to three-phase inverters built with individual devices using phase currents and PWM gate control signals, the proposed method does not use additional sensors, but uses those integrated in the IPM module.

The failure detection is performed by applying a technique based on the parallel model, which is a simple and practical method to implement. This method describes the physical structure and behavior of the fault-free system and compares it with the real model for waste generation. After this, the waste is evaluated by verifying thresholds to generate symptoms that indicate a determined failure. Finally, these symptoms are taken to a decision block, which is responsible for comparing and verifying if there is a fault, thereby obtaining the full diagnosis.

# Índice de figuras

Figura 1. Diagrama general del diagnóstico de fallas.....	15
Figura 2. Generación de residuos.....	16
Figura 3. Comportamiento de los residuos. ....	17
Figura 4. Forma de implementar la redundancia material. ....	17
Figura 5. Formas de implementar la redundancia analítica. ....	18
Figura 6. Clasificación de los diferentes métodos de generación de residuos. ....	19
Figura 7. Forma de implementar la evaluación de residuos.....	21
Figura 8. Clasificación de los diferentes métodos de evaluación de residuos. ....	22
Figura 9. Método de ventana móvil para la evaluación de residuos. ....	23
Figura 10. Estructura de un observador a lazo abierto.....	30
Figura 11. Generación de residuos mediante el modelo paralelo. ....	31
Figura 12. Diagrama de la técnica de detección de fallas propuesta para la generación de residuos. ....	33
Figura 13. . Diagrama de verificación de umbral constante para la evaluación de residuos. ....	34
Figura 14. . Diagrama de la etapa de decisión de fallas.....	36
Figura 15. Partes que conforma el diseño del prototipo para la detección de fallas. ....	37
Figura 16. Aplicación típica del módulo IRAMS10UP60B. ....	39
Figura 17. Valor recomendado del capacitor bootstrap vs frecuencia de conmutación.....	40
Figura 18. Patrón de conmutación de un solo ancho de pulso.....	41
Figura 19. Inversor trifásico puente completo. ....	42
Figura 20. Secuencia de las señales de control para los interruptores conduciendo a 180°.....	42
Figura 21. . Diseño del control PWM de ancho de pulso constante, a) Señales de control para los 6 interruptores trabajando a 180° y 50, Hz b) Tarjeta FPGA Altera Cyclone II EP2C5T144.....	43
Figura 22. Esquema de detección de fallas basado en la técnica de modelo paralelo.....	44
Figura 23. Tiempo de detección de fallas obtenido de 70.8µs (recuadro rojo), señal de referencia (Línea rosa) y señal de falla (Línea azul). ....	46
Figura 24. . Prototipo para la implementación de la técnica de detección de fallas basada en el modelo paralelo.....	48
Figura 25. Protocolo de pruebas para fallas por sobrecorriente.....	50
Figura 26. a) Formas de onda de las salidas del inversor (voltaje y corriente) libre de falla y b) Desactivación de todas las salidas del inversor bajo los efectos de falla por sobrecorriente, (L. azul) señal de falla.....	53
Figura 27. c) Formas de onda de las salidas del inversor (voltaje y corriente) libre de falla y d) Desactivación de todas las salidas del inversor bajo los efectos de falla por sobrecorriente, (L. amarilla) señal de falla. ....	54
Figura 28. e) Formas de onda de las salidas del inversor (voltaje y corriente) libre de falla y f) Desactivación de todas las salidas del inversor bajo los efectos de falla por sobrecorriente, (L. azul) señal de falla.....	54
Figura 29. Protocolo de pruebas para fallas por sobretemperatura. ....	55
Figura 30. Lectura del termistor interno del módulo - frente a cambios de temperatura. ....	57

Figura 31. a) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), Señal de falla (Línea azul celeste) y Lectura del sensor de temperatura (Línea morada) b) Desactivación de todas las salidas del inversor bajo los efectos de la falla. ....	59
Figura 32. Foto térmica de la lectura de la cámara en el momento de ocurrir la falla. ....	59
Figura 33. Umbrales de detección de la prueba #1. c) Tiempo de detección de la falla (70.8 $\mu$ s), y d) Tiempo de respuesta del módulo (10 $\mu$ s) para la desactivación de las salidas (voltaje y corrientes). ....	60
Figura 34. e) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y Señal de falla (L. azul) f) Desactivación de todas las salidas del inversor bajo los efectos de falla. ....	61
Figura 35. Foto térmica de la lectura de la cámara en el momento de ocurrir la falla. ....	61
Figura 36. g) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y señal de falla (L. azul) h) Desactivación de todas las salidas bajo los efectos de falla. ....	62
Figura 37. Foto térmica de la lectura de la cámara en el momento de ocurrir la falla. ....	62

## Índice de tablas

Tabla I. Resumen de las técnicas F.D.I reportadas en la literatura. ....	4
Tabla II. Matriz de Diagnóstico .....	26
Tabla III. Estructura canónica de la matriz de diagnóstico. ....	27
Tabla IV. Matriz de diagnóstico. ....	35
Tabla V. Características del módulo IRAMS10UP60B. ....	38
Tabla VI. Comportamiento del sensor de corriente ( $I_{TRIP}$ ) del módulo IRAMS10UP60B. ....	51
Tabla VII. Condiciones para las pruebas de detección de fallas por sobrecorriente al módulo IRAMS10UP60B. ....	52
Tabla VIII. Condiciones para las pruebas de detección de fallas por sobrettemperatura al módulo IRAMS10UP60B. ....	58

## Nomenclatura

FDI	Técnicas de diagnóstico de fallas
IPM	Módulo de potencia integrado
CD	Corriente directa
CA	Corriente alterna
DSEP	Dispositivo semiconductor de potencia
IGBT	Transistor bipolar de compuerta aislada
VCE	Voltaje colector-emisor
VGE	Voltaje compuerta-emisor
DSP	Procesador digital de señales
FPGA	Arreglo de compuertas programables en campo
MOSFET	Transistor de efecto de campo metal-óxido semiconductor
CM	Monitor de condiciones
IFAC	Federación internacional de control automático
PWM	Modulación por ancho de pulso
SPWM	Modulación senoidal basada en multiportadoras
PCB	Tarjeta de circuito impreso
TTL	Lógica transistor a transistor
UPS	Sistemas de alimentación ininterrumpidas
HVAC	Sistema de ventilación, calefacción y aire acondicionado
THD	Distorsión armónica total

## Acrónimos

$I_{TRIP}$	Sensor de temperatura
$V_{TH}$	Sensor de corriente
$r_1$	Residuo 1
$r_2$	Residuo 2
$S_1$	Síntoma 1
$S_2$	Síntoma 2
$V_F$	Voltaje de fase
$V_L$	Voltaje de línea
$I_F$	Corriente de fase
$I_L$	Corriente de línea
$R$	Resistencia
$V_{Ref1}$	Voltaje de referencia 1
$V_{Ref2}$	Voltaje de referencia 2

---

---

# Capítulo 1

## Introducción

---

---

### 1.1 Antecedentes

Los avances tecnológicos han permitido el desarrollo de plantas industriales más complejas con un alto grado de automatización. Esto ha mejorado la calidad de los productos y ha aumentado la eficiencia en sus procesos, sin embargo, también ha hecho a los sistemas más vulnerables a fallas. Esto debido a las crecientes exigencias en los niveles de automatización de los sistemas de producción modernos, los cuales, están constituidos por un gran número de procesos[1, 2].

Los procesos industriales gobernados mediante controladores automáticos pueden presentar fallas. Una falla es considerada, en términos generales como una desviación no permitida o indeseable de las características propias del proceso que puede ser el sensor, actuador, controlador o el sistema. Además, los lazos de control pueden ocultar las fallas hasta alcanzar un grado tal que produzcan una avería irreparable y que obligue a detener el sistema o proceso [1].

Además, la operación actual de los procesos industriales requiere indispensablemente de la aplicación de las técnicas de supervisión y del diagnóstico de fallas para mejorar la confiabilidad, disponibilidad y seguridad en la operación de los sistemas [3]. El objetivo principal de las técnicas de diagnóstico de fallas, es reconocer comportamientos anormales de los elementos del sistema de forma temprana, así como sus respectivas causas que lo originan, a través de las señales medidas en forma experimental o mediante el empleo de modelos matemáticos del sistema[4, 5].

Las técnicas de diagnóstico de fallas (F.D.I. por sus siglas en inglés de Fault Detection and Isolation), permiten detectar y localizar fallas con el fin de evaluar sus efectos en el sistema. La evaluación de la fallas permite decidir si es necesario un cambio en el punto de operación del sistema o la reconfiguración de una parte del mismo [5, 6]. Cuando ocurre una falla, el tiempo de inicio y la gravedad de la falla se desconocen, por lo que es muy importante detectar y localizar las fallas de forma temprana, antes de que el sistema sufra grandes cambios, se degrade o se colapse. Las técnicas FDI, pueden ser aplicadas a un amplio rango de disciplinas entre las que destacan, los sistemas mecánicos, hidráulicos, eléctricos y electrónicos [7].

En este trabajo de tesis es de interés el estudio de la aplicación de las técnicas de diagnóstico de fallas en los sistemas electrónicos de potencia, tales como los inversores trifásicos puente completo, ya que estas técnicas de diagnóstico son indispensables cuando se incrementa la complejidad de los sistemas o cuando se usan componentes semiconductores de los denominados inteligentes, tal es el caso de los Módulos de Potencia Integrados (I.P.M por sus siglas en inglés Integrate Power Module). Estos módulos son básicamente inversores trifásicos puente completo, los cuales, tienen un amplio rango de aplicación: las fuentes de alimentación conectadas a la red eléctrica o autónomas, donde la frecuencia y el voltaje son fijos, como por ejemplo en sistemas de alimentación ininterrumpida (SAI) o por sus siglas en inglés (UPS) uninterruptible power supply, además en todos los sistemas de ventilación, calefacción y aire acondicionado (HVAC por sus siglas en inglés de Heating, Ventilating and Air Conditioning) y los accionadores o controladores de motores, donde la frecuencia y el voltaje son variables [8].

## **1.2 Revisión del estado del arte**

En este apartado se muestra una revisión del estado del arte enfocado en la aplicación de las técnicas de diagnóstico de fallas en inversores trifásicos puente completo, independientemente de su aplicación. Los trabajos reportados en la literatura muestran un amplio rango de técnicas de diagnóstico de fallas para este tipo de convertidores, las cuales, se clasifican de acuerdo a tipo de falla.



### ***Diagnóstico de fallas en el convertidor CD-CA***

Los trabajos referentes a las fallas que pueden ocurrir en los convertidores de potencia, enfocan sus estudios a las fallas que ocurren tanto en los dispositivos semiconductores de potencia (DSEP), como en la fuente de alimentación (Bus de CD), fallas en la carga y en el control de los DSEP. Entre las técnicas empleadas para el diagnóstico de fallas, destacan las transformaciones en frecuencia de las corrientes de salida del convertidor [9], o mediante la variación de los voltajes [10, 11].

Las fallas más comunes que pueden ocurrir en los DSEP son: Dispositivos en corto circuito y circuito abierto, fallas en el control, y por fatiga térmica [5]. En este caso de estudio, focalizaremos la revisión del estado del arte específicamente en las fallas por corto circuito y fatiga térmica.

#### ***a) Falla por corto circuito***

Esta falla se presenta en el convertidor cuando un interruptor se cierra en presencia de otro aún cerrado en la misma rama del inversor o trayectoria de la fuente. En este caso, no es posible la transferencia de energía a través de la carga y se presenta una sobrecorriente entre el voltaje de alimentación y dos DSEP. En función de la duración de la falla es posible que se activen las protecciones del sistema y se tenga un paro total de éste, lo cual provocaría principalmente pérdidas económicas y pondría en riesgo la integridad física de los operadores [12].

Diversas razones pueden originar este modo de falla: probablemente se deba a un problema de comando en la compuerta o bien a una falla interna del componente. La ocurrencia de esta falla es de un 30% entre el total de fallas que pueden ocurrir en un convertidor [5]. Cuando ocurre este modo de falla, la energía de la fuente se disipa en los DSEP que se encuentran en la rama correspondiente, por lo tanto, se ve reflejado como una variación en el voltaje de salida.

En la literatura se han reportado varios esquemas para detectar fallas por corto circuito en el *IGBT* [13], y la más utilizada por los fabricantes de propulsores es la técnica “*desat*” que se basa en la

medición simultánea de los voltajes colector-emisor  $VCE$  y compuerta-emisor  $VGE$  cuando el  $IGBT$  entra en estado de saturación. Las ventajas de esta técnica son: utiliza un diodo como sensor, es simple y es efectiva para  $CD$  y  $CA$ . Las desventajas son: falsas alarmas por transitorios de sobrecorriente, sólo detectable para fallas durante la conmutación dura del dispositivo  $HSF$  (*Hard Switched Fault*), no existe aislamiento eléctrico, los umbrales de detección no están bien definidos y se desconoce la magnitud de la corriente [1, 14].

En las aplicaciones de autoprotección como en las fallas provocadas por sobrecorrientes, comúnmente se utilizan dispositivos de tipo analógico y digital embebidos en el circuito impulsor de compuerta del interruptor, porque la detección de la falla debe ser realizada tan pronto como sea posible para evitar que se propague en el sistema y pueda causar una avería [13, 15]. Pero, para aplicaciones que demandan procesamientos más complejos, como la localización y estimación de la falla en un sistema de diagnóstico, se utilizan algoritmos computacionales implementados en  $DSPs$  o  $FPGAs$ .

En la Tabla I se presenta un resumen de las técnicas F.D.I reportadas en la literatura respecto a las fallas por corto circuito.

*Tabla I. Resumen de las técnicas F.D.I reportadas en la literatura.*

F.D.I	Tipo de falla	Método de generación de residuos	Tiempo de detección
Tiempos de conmutación en los dispositivos semiconductores [5]	Circuito-abierto y Corto-circuito en el inversor, así como fallas en el motor de inducción.	Técnica de modelo paralelo y Espacios de paridad	8.33 ms

Medición de la Señal de Compuerta del IGBT en estado estable y transitorio [1]	Circuito-abierto Corto-circuito	Ventanas de detección	Estado estable: 175 $\mu$ s Estado transitorio: 2.065 $\mu$ s
Verificación de límites [16]	Corto-circuito	Filtrado y calculo RMS	20 ms
Redes neuronales [17]	Circuito abierto Corto circuito	Verificación de límites basado en reglas de razonamiento	20 ms

### ***b) Falla por fatiga térmica***

El rendimiento en altas frecuencias de conmutación, bajas pérdidas de conducción y alta capacidad de sobrecorriente, hace que los módulos de transistor bipolar de puerta aislada (IGBT) se empleen ampliamente en sistemas de accionamiento de potencia, como los vehículos eléctricos (EV) [18, 19], aviones [20], turbinas eólicas [21] y accionamientos industriales [22]. Sin embargo, debido a cargas de potencia variable y la entrada de control, los módulos IGBT están sujetos a tensiones adicionales, lo que puede conducir a un grado diferente de fatiga / falla termomecánica y un mayor deterioro en sus propiedades eléctricas, aumentando las corrientes de fuga y disminuyendo las áreas de operación segura. Según algunos estudios, el 31% de las fallas en los sistemas de conversión electrónica se pueden atribuir a fallas de los dispositivos de potencia. En consecuencia, la gestión del estado de los módulos IGBT se ha convertido en un tema importante en las aplicaciones de electrónica de potencia desde el punto de vista de la fiabilidad [23].

Los dos tipos principales de fallas por fatiga térmica en los módulos IGBT son el envejecimiento del cable de enlace y la fatiga de la soldadura a través del ciclo de alimentación. Para abordar estos

dos mecanismos principales de degradación, muchos estudios han desarrollado diferentes estrategias, tales como tecnologías de materiales y semiconductores [24], arquitecturas de paquetes e interconexiones, estrategias de control avanzado [25] y tecnologías de enfriamiento.

Para dar solución a los problemas antes mencionados se reportan métodos de monitoreo de condiciones (CM) [23, 26] para identificar fallas incipientes en los módulos IGBT y luego tomar medidas correctivas antes de que ocurran fallas catastróficas. Estos métodos son fáciles de implementar, rentables, no destructivos y requieren poco conocimiento sobre la estructura interna del IGBT. Además, estos métodos se pueden adaptar al modelo de degradación en condiciones de operación variable.

### *Conclusiones*

Del análisis bibliográfico sobre el estudio de las técnicas de diagnóstico de fallas aplicadas al inversor trifásico puente completo, puede mencionarse lo siguiente: Las técnicas reportadas en la literatura se enfocan únicamente a inversores construidos por dispositivos IGBT individuales, por lo cual, es necesario hacer un análisis para elegir la técnica adecuada que se adapte a las características del IPM.

## **1.3 Planteamiento del problema**

Los accionamientos de motores que utilizan inversores trifásicos de fuente de voltaje (VSI) se usan actualmente en muchas aplicaciones industriales y en sistemas de generación de energía, por lo que la confiabilidad de los VSI es uno de los factores más importantes para mejorar los niveles de fiabilidad y disponibilidad de la unidad. Con base en lo anterior actualmente se han reportado una gran variedad de técnicas de diagnóstico de fallas para inversores trifásicos construidos principalmente con dispositivos IGBT individuales. La mayoría de estas técnicas usan algoritmos o modelos matemáticos complejos (Observadores, espacios de paridad, redes neuronales PSO-BP) que no siempre representan el comportamiento real del sistema, lo cual puede provocar falsas

alarmas en el proceso de detección de fallas. Como se mencionó anteriormente existen IPM que en su interior tienen un inversor trifásico puente completo, tal es caso del módulo IRAMS10UP60B. Una de las características de este módulo de potencia es que contienen un sensor de temperatura interno y una protección contra sobre corriente, además de que al entrar en corto circuito presentan una función de bloqueo, de esta manera son buenos candidatos para implementar alguna de las técnicas de diagnóstico de fallas utilizando únicamente los sensores que trae integrado dicho módulo.

## **1.4 Propuesta de solución**

Para este trabajo se propone una técnica de detección de fallas basada en la técnica de modelo paralelo, la cual será aplicada al módulo de potencia integrado IRAMS10UP60B. Esta técnica describe la estructura física y el comportamiento del sistema libre de falla y lo compara con el modelo real para la generación de residuos. Esta técnica de diagnóstico a comparación con las técnicas reportadas para inversores trifásicos y multinivel es un método más sencillo y práctico de implementar, no se utilizan sensores adicionales para la generación de residuos, sino que se usan los que trae integrados el módulo, además con este método se pretende obtener un tiempo de detección aceptable a comparación de los métodos reportados en la bibliografía, lo cual, conlleva a una mejora en la confiabilidad del IPM (IRAMS10UP60B). La descripción del método propuesto y la metodología se reportan en el capítulo 2.

## **1.5 Objetivo general y objetivos específicos**

Estudiar el potencial de aplicación del diagnóstico de fallas en el módulo de potencia IRAMS10UP60B para aplicación de convertidores trifásicos.

Los objetivos específicos son:

- Estudio de las técnicas de diagnóstico de fallas (estado del arte).
- Análisis del comportamiento del módulo IRAMS10UP60B.
- Estudio del comportamiento del módulo IRAMS10UP60B en inversores (aplicación).
- Diseño e implementación del diagnóstico de fallas en los módulos IRAMS10UP60B.

## **1.6 Alcance y limitaciones**

El estudio que se pretende desarrollar consiste en implementar una técnica de detección de fallas en el Módulo de Potencia Integrado IRAMS10UP60B utilizando solamente los sensores que trae integrados dicho módulo y con ello obtener un tiempo de detección aceptable comparado con los reportados en la literatura. Las fallas abordadas en este trabajo de tesis son: por sobrecorriente y sobretemperatura.

## **1.7 Organización del documento**

En el capítulo 2 se describen las metodologías y definiciones respecto a las técnicas de diagnóstico de fallas, como también se reporta el método de detección propuesto en este trabajo de investigación.

En el capítulo 3 se presenta el diseño y la construcción del prototipo para la implementación de la técnica de detección de fallas basada en el modelo paralelo al módulo de potencia IRMAS10UP60B.

En el capítulo 4 se describe un protocolo de pruebas donde se definen las condiciones para realizar las pruebas de detección de fallas por sobrecorriente y sobretemperatura al módulo IRAMS10UP60B. En esta sección también se reportan los resultados experimentales obtenidos y un análisis de los mismos.

Finalmente, en el capítulo 5 se presentan las conclusiones del trabajo de investigación, así como los trabajos futuros.

---

---

# Capítulo 2

## Diagnóstico de fallas en inversores

---

---

En este capítulo se presentan los conceptos básicos y antecedentes del diagnóstico de fallas enfatizando la etapa de generación de residuos para la detección de fallas en el diagnóstico. También se reporta la técnica de detección de fallas propuesta en la sección 1.4 y se describe la metodología a utilizar.

### 2.1 Conceptos básicos

Los siguientes conceptos son tomados de la terminología establecida por el comité técnico de la Federación Internacional de Control Automático (IFAC- por sus siglas en inglés), y por la Detección de Fallas, Supervisión y Seguridad para Procesos Técnicos (SAFEPROCESS por sus siglas en inglés) [27].

**Falla:** desviación no permitida de, al menos, una propiedad característica o parámetro de un sistema de su condición aceptable, usual o estándar.

**Avería:** interrupción permanente de la capacidad de un sistema para realizar una función requerida bajo las condiciones de operación específicas.

**Falla abrupta:** falla cuyo efecto aparece repentinamente (por ejemplo, modelado mediante un escalón).

**Fallo incipiente:** falla cuyo efecto aparece progresivamente (por ejemplo, modelado mediante una rampa).

**Diagnóstico de fallas:** determinación del tipo, tamaño, localización e instante de aparición de una falla, incluye la detección, el aislamiento y la estimación de la falla.

**Detección de fallas:** determinación de la presencia de falla en el sistema, así como el instante de su aparición.

**Aislamiento de falla:** determinación del tipo, localización e instante de detección de la falla. Se realiza después de la etapa de detección.

**Generación de residuos:** proporciona información de la presencia e instante de aparición de la falla a través de una señal llamada “residuo”, algunas de las técnicas utilizadas son; observadores, ecuaciones de paridad, análisis en frecuencia etc.

**Residuo:** señal que contiene información de la falla basada en la desviación entre las mediciones de las entradas/salidas del sistema (comportamiento real) y estimaciones obtenidas mediante un modelo del mismo (comportamiento modelado). El residuo describe el grado de consistencia entre el comportamiento real y el modelado.

**Residuo basado en modelo:** utiliza el modelo matemático del sistema libre de falla para evaluar el residuo; las ventajas es la rapidez de respuesta y la detección múltiple y simultánea; la desventaja es que se necesita conocer los parámetros y el modelo.

**Residuo basado en señales:** utiliza el procesamiento de las señales medidas para generar residuos; la gran ventaja es que no se necesita conocer el modelo del sistema y la desventaja es que se necesita más procesamiento computacional para la evaluación.

**Supervisión:** es una actividad de alto nivel que engloba las actividades de monitorización (o vigilancia), la detección y diagnóstico de fallas y el control supervisor de planta.

**Acomodación:** consiste en resolver el problema manteniendo la estructura del controlador y modificando únicamente los parámetros.



### 2.1.1 Fallas

Una falla en un sistema dinámico es una desviación de la estructura o parámetros de la planta en situación nominal. Desde el punto de vista estructural, una falla o avería se puede presentar como el bloqueo total o parcial de un actuador, la pérdida de un sensor o la desconexión de un componente del sistema en donde el conjunto de componentes de la planta o la interfaz entre planta y el controlador son afectados por la falla o avería [28].

La distinción entre falla y avería es que la falla causa un cambio en las características de un componente tal que el modo de operación o desempeño del componente cambia de manera indeseada, sin embargo, la operación del sistema puede continuar de manera degradada. Por el contrario, una avería describe la inhibición de un sistema o un componente para lograr su función, por lo que el sistema o componente tiene que ser deshabilitado completamente porque la avería es un evento irrecuperable [1].

Las fallas por su forma de aparición pueden dividirse en fallas incipientes, abruptas, intermitentes y permanentes: las fallas incipientes aparecen progresivamente como el modelado de una señal de tipo rampa; las fallas abruptas aparecen repentinamente como el modelado de una señal de tipo impulso; las fallas intermitentes aparecen de manera abrupta y consecutiva como en el caso de un tren de pulsos con intervalos aleatorios cortos; las fallas permanentes se presentan de manera abrupta y definitiva como el modelado de una señal de tipo escalón [29].

En un sentido estricto, una falla es la causa primaria de un mal funcionamiento. Sin embargo, se debe distinguir del efecto de una falla, la cual se obtiene a partir de un cambio del comportamiento de *entrada/salida*. Por lo tanto, en el diagnóstico de fallas se tiene que rastrear la relación causa-efecto de la medición *entrada/salida*.

## 2.2 Diagnóstico de fallas

El término “diagnóstico” en el área de control automático y según la terminología establecida por la Federación Internacional de Control Automático (IFAC- por sus siglas en inglés), significa “Detección” y “Aislamiento” de la falla existente en un proceso. Donde la palabra “Aislamiento” no significa retiro de la falla sino la localización e identificación de la falla, pero se puede utilizar la palabra “diagnóstico” siempre y cuando se tenga al menos la detección y localización de la falla.

Para la definición del término de diagnóstico de fallas, una definición ligeramente diferente existe también en la literatura. Esta definición puede ser encontrada en [30] y dice que el diagnóstico de fallas también incluye la detección de fallas. Este es también el punto de vista en este trabajo de tesis.

### 2.2.1 Objetivo del diagnóstico de fallas

Cualquier sistema físico sin excepción está propenso a cambios en sus parámetros, los cuales modifican el comportamiento para el cual fueron diseñados. Estos cambios pueden ser debidos a efectos de la temperatura, desgastes ocasionados por la fricción, el envejecimiento de los componentes, etc. Los cambios en los parámetros del sistema a zonas fuera de los límites de tolerancia especificados por el fabricante o de los límites establecidos de acuerdo a criterios de ingeniería, serán considerados como fallas. Estas modificaciones afectan en su mayor parte el buen funcionamiento del sistema provocando desde una reducción del desempeño hasta la posibilidad de accidentes graves. La rápida detección de la presencia de fallas en los sistemas puede ayudar a tomar acciones correctivas y de este modo reducir el daño potencial que esta falla puede ocasionar al sistema [31].

Los sistemas de detección y localización de fallas juegan un papel muy importante a causa del incremento en la automatización que experimentan ciertas instalaciones industriales. Su función principal es la de asegurar un diagnóstico temprano y confiable que permita detectar y localizar

las fallas con el fin de evaluar sus efectos en el sistema. Además, la creciente expansión de la automatización en los procesos industriales origina el tener cada vez sistemas más complejos que requieren de una elevada calidad, eficiencia, disponibilidad y seguridad. En consideración de los costos que surgen cuando el sistema sufre un paro no planeado, las técnicas de detección de fallas se han vuelto una solución cada vez más económica [3, 7].

El objetivo principal de las técnicas de detección y localización de fallas, es el de reconocer comportamientos anormales de los elementos del sistema, actuador o sensor, así como sus causas que lo originan de forma oportuna. A través de fallas inherentes basado en señales medidas o de modelos matemáticos del sistema [5].

La generación de residuos es la parte principal de un sistema de diagnóstico de fallas. Esto debido principalmente a que en esta etapa se resuelve el problema de diagnóstico, al menos en forma conceptual, ya que los residuos generados deben poseer ciertas características para permitir la detección y la localización [27]. Una técnica de generación de residuos empleada en la literatura es la de modelo paralelo, la cual se reporta en [5] que combinada con la técnica de espacio de paridad se obtienen muy buenos resultados para la generación de residuos.

## **2.3 El sistema de diagnóstico**

Muchos esfuerzos se han hecho en el diseño y manufactura de productos, los cuales incluyen el desarrollo de materiales, las pruebas de elementos, el control de calidad, etc. Otro aspecto importante es la automatización o control automático del proceso, el cual tiene por objetivo mantener un funcionamiento adecuado disminuyendo la intervención humana. El primer nivel de un sistema corresponde al control automático, tal y como se mencionó anteriormente, y el segundo nivel corresponde a la supervisión (monitoreo, protección y diagnóstico) [5].

La supervisión sirve para indicar estados del proceso no permitidos o indeseables, para tomar acciones que permitan evitar daños o accidentes. Tal y como se expresó en las definiciones una falla es una desviación no permitida de las características propias del proceso. Si estas variaciones

tienen influencia en las variables medidas de entrada – salida, entonces las fallas pueden ser detectadas por una evaluación de estas señales. A la evaluación directa sobre las señales se le llama monitoreo. El monitoreo permite, mediante indicadores de alarmas, señalar que algo no funciona adecuadamente.

La información proporcionada por las alarmas permite al operador tomar ciertas acciones para evitar daños en el sistema. En caso de que la falla sea crítica o destructiva, entonces se inicia un proceso automático, llamado protección, para detener parte o todas las actividades del proceso. Ambas tareas, monitoreo y protección, pueden ser llevadas a cabo directamente con la información de las variables medidas; además son muy útiles en algunos casos. Sin embargo, solo es posible detectar las fallas en un estado avanzado (la desviación de los valores nominales es considerable). Para detectar falla en estado incipiente, así como para tener información más precisa de la falla, se necesita recurrir al siguiente nivel de supervisión: el diagnóstico [32].

El implementar técnicas de diagnóstico oportuno de las fallas, garantiza tener suficiente tiempo para realizar las acciones necesarias, tales como accionamiento de alarmas, reconfigurar la acción de operación y el mantenimiento o reparaciones. Un diagnóstico oportuno puede ser llevado a cabo mediante el análisis de información, como por ejemplo, usando la relación entre las cantidades medidas y los modelos matemáticos del sistema [3, 7]. Por lo tanto, la forma de modelar un sistema es de gran importancia a la hora de implementar una técnica de diagnóstico de fallas.

## 2.4 Esquema de Diagnóstico

Para implementar las técnicas de diagnóstico de fallas, en un sistema físico y de forma práctica, los pasos necesarios a seguir son los siguientes, [32] ver Figura 1.

El primer paso llamado “**generación de residuos**”, es la obtención de señales, llamadas “residuos”, que reflejan el comportamiento de una falla. El valor del residuo idealmente debería ser cero cuando el sistema se encuentre libre de fallas y alejado de cero en caso de la ocurrencia de una falla. Un solo residuo es suficiente para la detección de la falla, sin embargo, se necesitan

de varios residuos para su localización. Los residuos son cantidades que representan la inconsistencia entre las variables de entrada y salida de la planta real (redundancia material) o las variables de un modelo matemático y las variables del sistema (redundancia analítica).

En el segundo paso, “**evaluación de residuos**”, es cuando después de la generación de los residuos, se lleva a cabo la organización y clasificación de estos, para la detección de la falla y si es posible, la localización de la misma, en otras palabras, es un proceso de ordenación donde se lleva a cabo la decisión del tiempo de ocurrencia y la localización de la posible falla.

Finalmente, el paso llamado “**decisión**”, es donde la falla y sus efectos, así como sus causas, son analizadas.

En la Figura 1 se muestra el diagrama general del diagnóstico de fallas, el cual consta de tres etapas: la generación de residuos, la evaluación de residuos y decisión, las cuales serán descritas en las siguientes secciones en que consiste cada una de ellas.

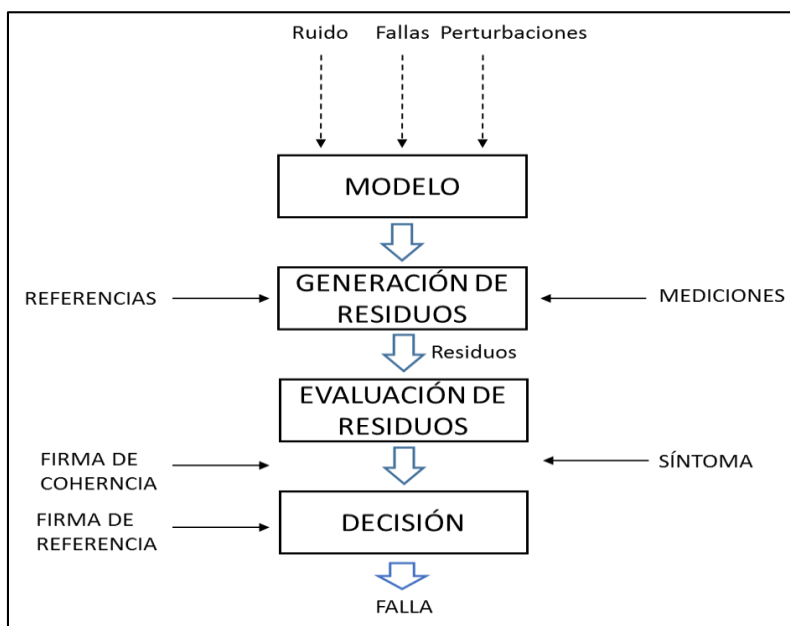


Figura 1. Diagrama general del diagnóstico de fallas [32].

### 2.4.1 Generación de residuos

La generación de residuos, es el principio por el cual se detectan las fallas sobre la base en la información del proceso. Si el sistema funciona correctamente, es decir, no existen ruidos o perturbación que afecten el sistema en cuestión, entonces, el valor del residuo será igual cero, de lo contrario será diferente de cero. El valor del residuo refleja el efecto de las fallas dentro del sistema [27]. La Figura 2 ilustra el principio de base empleado para la generación de residuos.

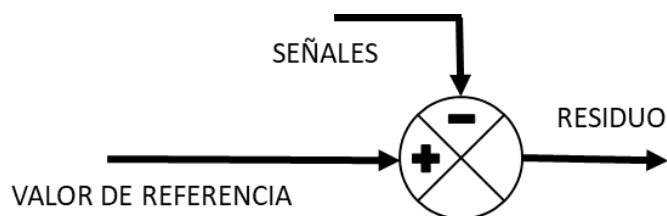


Figura 2. Generación de residuos [5].

En función de su velocidad de aparición, las fallas son clasificadas en fallas súbitas o progresivas [33, 34]. Las fallas súbitas no pueden ser detectadas de una forma anticipada, porque una evaluación de la evolución de las características de los residuos resulta difícil. Por el contrario, las fallas progresivas pueden ser detectadas anticipadamente mediante la evaluación de las señales. En el instante  $t_d$  la falla es detectable si el valor de referencia  $r(t) \neq 0$ . La falla es fuertemente detectable si el residuo permanece durante un largo periodo de tiempo en este valor de referencia, la Figura 3 ilustra estos dos comportamientos de los residuos.

En el residuo de la Figura 3 (a la izquierda) no se puede llevar a cabo una localización de la falla en forma sólida porque los efectos de la falla sobre los residuos van desapareciendo después del transitorio, a diferencia del residuo de la Figura 3 (a la derecha). Así la característica de “detectable” o “fuertemente detectable” de las fallas depende del comportamiento transitorio del residuo.

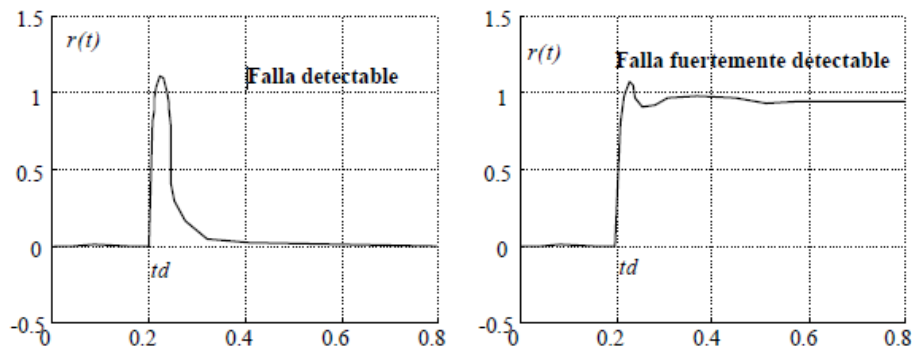


Figura 3. Comportamiento de los residuos [5].

Antes de buscar la causa de la falla, es importante el validar la información proporcionada por los residuos. La redundancia es un medio para validar esta información. De acuerdo a [27] existen dos grandes clases de métodos de redundancia: la redundancia material y la analítica.

**a) Redundancia de modelos físicos o simplemente redundancia material**

Las ventajas de la redundancia material son la confiabilidad y la simplicidad de implementación. Sin embargo, el costo y peso, así como la tecnología de fabricación de sensores y/o actuadores, son sus principales inconvenientes, en la Figura 4 se presenta el diagrama a bloques de la forma de implementarlo [27]. Las señales de residuo se obtienen de las señales del sistema (enfoque señal); estas señales provienen de varios sensores que miden la misma variable.

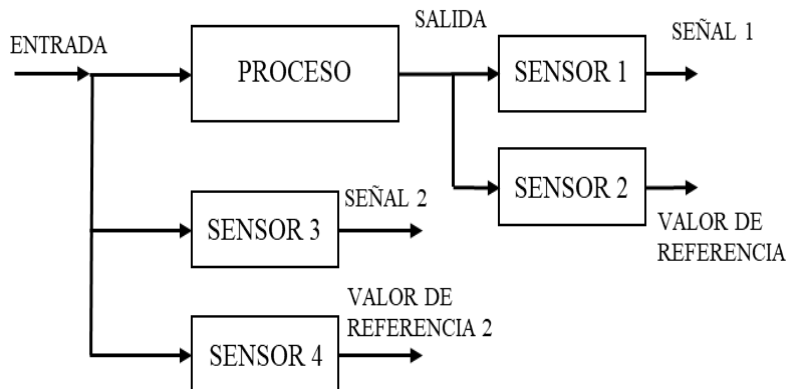


Figura 4. Forma de implementar la redundancia material [1].

El método más abordado en la literatura es de evaluación de residuos, basado en la generación de señales medidas, en el cual, se comparan las salidas de los sensores que miden la misma señal [32]. Esto aplica, si la señal tiene aproximadamente un valor constante (por ejemplo, voltaje, presión, temperatura), generalmente solo grandes fallas en el proceso pueden ser detectadas.

### b) Redundancia de modelos analíticos o simplemente redundancia analítica

La redundancia analítica permite reemplazar la redundancia física por una redundancia informática. En este sentido, se puede hablar también de sensores virtuales, analíticos o computacionales [27]. En la Figura 5 se presenta el diagrama a bloques de la forma de implementarlo. En este esquema los residuos se obtienen de la comparación de las señales medidas directamente del sistema y del empleo de modelos matemáticos del mismo sistema (enfoque modelo). Las señales provienen de varios sensores que miden variables diferentes. Esta técnica resuelve los inconvenientes que presenta la redundancia física, en cuanto a costo y el tipo de sensores, pero el principal inconveniente es el uso de un modelo matemático del sistema, el cual puede no representar el comportamiento total del sistema.

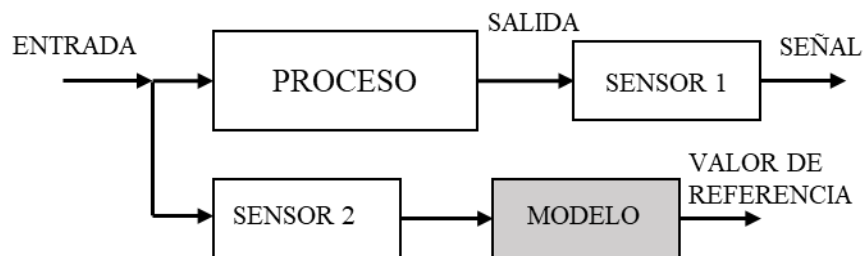


Figura 5. Formas de implementar la redundancia analítica [1].

Este tipo de propuesta ha sido ampliamente estudiada y continúa en investigación debido a las diversas maneras de representar el modelo del sistema. En este sentido, existen diversas clasificaciones de los métodos de diagnóstico de fallas según la técnica de detección basada en el



modelo y va de acuerdo al área de interés que se esté trabajando. En nuestro caso, la clasificación más adecuada, es la propuesta por [35], el cual hace la clasificación en tres grupos; basada en el modelo, la señal y el conocimiento, como se muestra en la Figura 6.

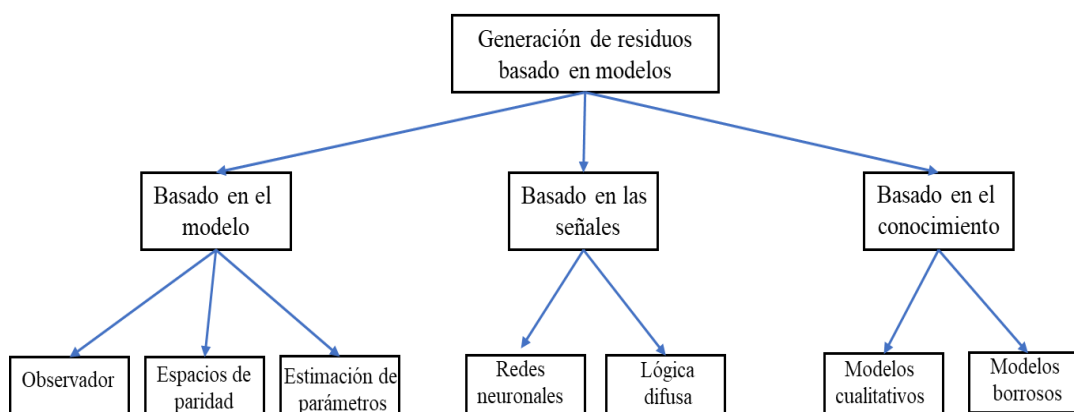


Figura 6. Clasificación de los diferentes métodos de generación de residuos [35].

#### a) Detección de fallas basado en el modelo

- *Observadores:* Se trata de un módulo capaz de generar una aproximación del vector de estados llamado observador o estimador. Este método permite la generación de residuos robustos respecto a los errores de modelado del proceso.
- *Espacio de paridad:* El espacio de paridad consiste en formar ecuaciones a partir del modelo del sistema, las cuales tienen que cumplirse si el funcionamiento nominal del sistema no se ve alterado por fallas. Existen tres versiones del espacio de paridad, la primera se basa en una representación interna del sistema, en lo que se conoce como variables de estado. La segunda versión se basa en la misma idea, pero utilizando la representación externa y la tercera considera sistemas continuos y retrasos en las mediciones de la salida del sistema.
- *Estimación de parámetros:* En el caso de estimación paramétrica los parámetros nominales (sin falla) de un sistema son comparados a los estimados actuales. Si hay diferencia entre los

parámetros se concluye una falla. Note que en este caso la localización puede llevarse a cabo de manera directa.

- *Modelo de simulación/ Modelo paralelo:* Es una descripción que se basa en la estructura física y el comportamiento del sistema libre de falla y lo compara con el modelo real para la generación de residuos. Básicamente es un observador en lazo abierto.

#### **b) Detección de fallas basado en las señales**

- *Redes neuronales:* La idea básica consiste en encontrar un modelo del sistema basado en redes neuronales. Las redes neuronales son modelos matemáticos simplificados de las neuronas del cerebro humano y consisten generalmente en tres capas de elementos llamadas neuronas, los cuales están altamente interconectados. El modelo se obtiene cambiando la ponderación de las entradas de cada red hasta que el comportamiento de la red se asemeje al del sistema. Una vez que se tiene el modelo, la aplicación de la detección de fallas es similar a la de ecuaciones de paridad.
- *Lógica difusa:* Permite mediante una nueva lógica a diferencia de la lógica tradicional, que una variable pertenezca a dos conjuntos basados en una función de transferencia. Es decir, un elemento puede pertenecer a un conjunto en un porcentaje. La aplicación a la detección de fallas consiste en obtener un modelo difuso del sistema y entonces aplicar las mismas ideas que con las ecuaciones de paridad.

#### **c) Detección de fallas basado en el conocimiento**

- *Modelo cualitativo:* Utiliza la información incompleta del sistema, pero enfatiza las distinciones y relaciones primarias del proceso e ignora relaciones no importantes o desconocidas y aunque los modelos cualitativos son por naturaleza imprecisos, pueden estar capacitados para representar bien el comportamiento del proceso complejo. En este caso, se utilizan conjuntos de valores catalogados mediante un atributo (positivo, negativo) en lugar de simples valores numéricos como elementos de base.

- *Modelo borroso*: Estos son denominados también semicualitativos porque utilizan conjuntos de valores caracterizados por intervalos o por conjuntos borrosos.

La ventaja de las técnicas basadas en el modelo, es que existen métodos ya estudiados para generar residuos, como son: las ecuaciones de paridad y el diseño de observadores, los cuales sirven como referencia y ayudan en gran medida a simplificar ésta tarea. Otra técnica para la generación de residuos es la de modelo paralelo o modelo de simulación, que básicamente es un observador en lazo abierto, motivo por el cual no se agregó a la clasificación que se hizo en la Figura 6. Esta técnica se puede decir que es un modelo de referencia capaz de reproducir el comportamiento del sistema libre de falla y compararlo con el modelo real para la generación de residuos. Con base en lo mencionado anteriormente, esta técnica resulta muy atractiva para implementarla al módulo de potencia (IRAMS10UP60B).

### 2.4.2 Evaluación de residuos

El problema básico de la evaluación de residuos consiste en definir un valor de umbral a partir del cual se puede considerar la falla. Este tipo de evaluación tiene por objetivo decidir si el valor de residuo representa o no un comportamiento de falla sobre el sistema. El valor de umbral se necesita para evitar falsas alarmas debido a condiciones iniciales, pequeñas perturbaciones o dinámicas no modeladas. Un síntoma corresponde a un residuo que se evalúa o se cuantifica. La Figura 7 ilustra el principio de base empleada para la evaluación de residuos [27, 33]. Por lo tanto, la evaluación de residuos es la acción de localizar o aislar la falla y llevar a cabo su clasificación [27].

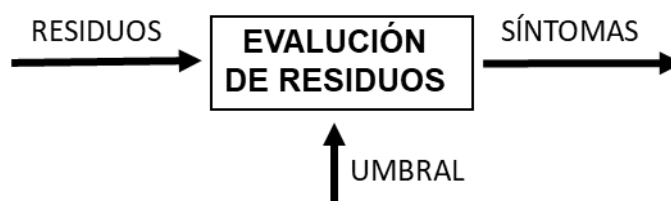


Figura 7. Forma de implementar la evaluación de residuos [5].

Las diferentes formas de evaluar los residuos pueden clasificarse en tres grandes grupos: umbral, métodos estadísticos y clasificación. La Figura 8 muestra la clasificación de los métodos de evaluación de residuos, los cuales se describen a continuación [7].

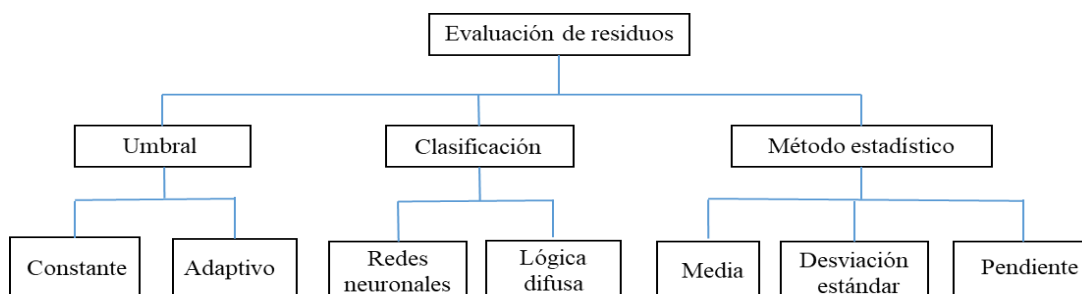


Figura 8. Clasificación de los diferentes métodos de evaluación de residuos [7].

#### a) Evaluación del límite o umbral

En la evaluación de residuos mediante umbrales, se establece un valor límite que puede ser constante o modificar su valor con respecto al tiempo. Pero cuando la señal de residuo rebasa el valor de umbral se presenta la señal de síntoma. Cabe mencionar que en la literatura se encuentran dos métodos para evaluar los residuos mediante esta técnica: Umbral constante y Umbral adaptivo [27].

- *Umbral constante*: En este caso se tiene la característica de que el valor de umbral permanece sin variaciones en todas las fases de operación del sistema (por ejemplo,  $S(t)=\pm 0.2V$ ). También se dan casos de presentar variaciones, pero esta variación es periódica, por lo que, aunque se presenta variación, ésta es constante (por ejemplo,  $S(t)=\text{sen}(wt)$ ). Este método permite la generación de síntomas de forma muy simple y fácil de implementar.
- *Umbral adaptivo*: En este caso, el valor de umbral modifica su valor en cada fase de operación del sistema o cuando las condiciones de operación del sistema cambian, también lo hace el valor de umbral mediante una relación previamente especificada.

### b) Evaluación por métodos estadísticos

Para la evaluación de residuos mediante métodos estadísticos, se hace uso extensivo de las operaciones entre datos, tales como la media, la varianza, la desviación estándar, etc. En este método, es muy común el que se defina una ventana para la evaluación de los datos en esa ventana, que en la mayoría de los casos es móvil, como se muestra en la Figura 9.

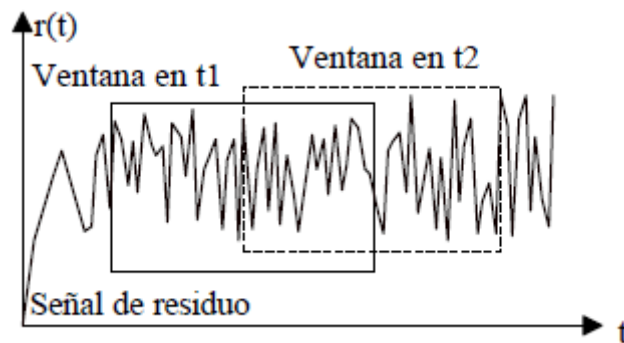


Figura 9. Método de ventana móvil para la evaluación de residuos [5].

A continuación, se describen de manera general tres de las pruebas estadísticas más utilizadas [27, 32, 36].

1. *Media*: Para detectar el cambio en la media de una señal, la idea de base consiste en calcular la media sobre una ventana móvil. Si los valores filtrados  $m_i$  representan el centro de la ventana con longitud  $n=2m+1$ , entonces el filtrado está representado por la expresión 2.1:

$$m_i = \frac{1}{n} \sum_{j=-m}^m Y_{i+j} \quad i > m \quad (2.1)$$

Para el caso recursivo se tiene la expresión 2.2:

$$m_i = m_{i-1} + \left[ \frac{Y_{i+m} - Y_{i-m-1}}{n} \right] \quad i > m + 1 \quad (2.2)$$

El valor  $m_i$  de la media se compara contra un nivel de umbral, el cual está determinado por la sensibilidad de la señal analizada respecto a la falla.

2. *Desviación estándar*: La desviación estándar móvil ( $S_i$ ) se calcula por la expresión 2.3:

$$S_i^2 = \frac{1}{n} \sum_{j=-m}^m (Y_{i+j} - m_i)^2 \quad (2.3)$$

Para el caso recursivo se tiene la expresión 2.4:

$$S_i^2 = S_{i-1}^2 + \frac{Y_{i+m} - Y_{i-m-1}}{n^2} [(n+1)Y_{i-m-1} + (n+1)Y_{i+m} - 2nm_{i-1}] \quad (2.4)$$

El cálculo de la desviación estándar  $S_i$ , puede utilizar básicamente en dos casos: Cuando el cálculo del valor medio de la señal permanece constante o cuando se desea realizar una detección en la variación del ruido en una señal medida.

3. *Pendiente*: Otro enfoque para detectar una ruptura de nivel en una señal consiste en utilizar un filtro derivador. La expresión está dada por 2.5 y 2.6:

$$Y_{Fi} = \frac{(m'_i - m_i^2)}{n} \quad i \geq n \quad (2.5)$$

Donde:

$$m'_i = \frac{1}{n} \sum_{j=1}^n Y_{i+j} \quad m_i^2 = \frac{1}{n} \sum_{j=0}^{n-1} Y_{i-j} \quad (2.6)$$

Representan el valor de la media calculada respectivamente sobre los  $n$  primeros puntos y sobre los  $n$  últimos puntos de la ventana móvil de longitud  $2n$ .

Para calcular una ruptura de nivel, se puede calcular también siempre sobre una ventana móvil, la pendiente de la recta que mejor se ajuste a la señal sobre la ventana actual. En el caso de una ventana compuesta de  $n = 2m + 1$  valores ( $Y_{i+j-b}, j = 1, 2, \dots, n$ ), se calcula por regresión lineal

de los coeficientes  $a$  y  $b$  de la pendiente que se ajusta a los valores de la señal sobre la ventana, como se muestra en la expresión 2.7.

$$Yr_{i+j-1} = a_{i+m} j + b_{i+m} \quad j = 1, 2, \dots, n \quad (2.7)$$

Estos coeficientes  $a_{i+m}$  y  $b_{i+m}$  expresan la pendiente y la ordenada en el origen al centro de la ventana. Un aumento brusco y temporal de la pendiente (en valor absoluto) indica una ruptura de la media. En el caso de un aumento, siempre en valor absoluto pero prolongado, indica una derivada.

### **c) Evaluación por clasificación**

La evaluación de residuos mediante clasificación, se realiza mediante el uso de lógica difusa y las redes neuronales. En estos métodos, se realiza un proceso de selección mediante una serie de reglas las cuales se describen a continuación.

**Redes neuronales:** Una de las ventajas de este método es su habilidad para dividir el espacio del modelo para los problemas de la clasificación, por lo tanto, una red neuronal puede ser usada como un clasificador (o reconocer los patrones) para dividir las señales de los residuos y activar las señales de alarma.

**Lógica difusa:** este método se basa en una serie de reglas que describen las diversas condiciones del sistema. La clasificación mediante lógica difusa puede ser interpretada como una decisión de varios criterios u opiniones sobre la falla (por ejemplo, los resultados de varios residuos).

### **2.4.3 Decisión de la falla**

Constituye la última etapa de la tarea del proceso de diagnóstico de fallas. Consiste en la clasificación de las señales de residuos para determinar la ocurrencia de una falla y su localización. La decisión de la falla se lleva a cabo de forma más fácil con la construcción de una matriz de diagnóstico. La matriz de diagnóstico se construye directamente de las señales de residuos como

columnas contra las señales de síntomas como filas (como se muestra en la Tabla II y en la Tabla III) [5].

*Tabla II. Matriz de Diagnóstico.*

	<b>Sin Falla</b>	<b>Falla 1</b>	<b>Falla 2</b>	<b>Falla 3</b>	<b>Falla 4</b>
<b>Síntoma 1</b>	0	1	0	1	1
<b>Síntoma 2</b>	0	0	1	0	0
<b>Síntoma 3</b>	0	1	0	0	1

La principal tarea de la etapa de decisión es clasificar los residuos en un número de patrones distinguibles correspondientes a diferentes situaciones de fallas. Por lo tanto, la evaluación de residuos puede estar basada en el principio de reconocimiento de patrones. El reconocimiento de patrones implica iniciar ciertas acciones que se basan en la observación de los datos de entrada. La entrada representa un patrón que es conocido como una medición o un vector característico [27].

La localización de fallas es una característica que depende del comportamiento de las señales. De acuerdo con un estudio realizado previamente [32], existen dos tipos de matrices que permiten la localización de fallas: la señal de residuos estructurada y la señal de residuos diagonal.

- a) *La señal de residuos estructurada:* Se genera un vector de residuos donde cada residuo es sensible a un conjunto de fallas
- b) *La señal de residuos diagonal:* Cada residuo es sensible solamente a una falla.

Por ejemplo, si se desea construir un matriz de diagnóstico con las señales de residuos estructuradas el procedimiento sería el siguiente: si los síntomas son obtenidos mediante una evaluación Booleana, es decir por ceros y unos, la matriz de diagnóstico se construye con las fallas



como columnas y los síntomas como filas respectivamente. La matriz de diagnóstico incluye únicamente valores “0” y “1”. Un “0” en una intersección de la fila  $i$  y la columna  $j$  significa que el residuo  $ri(t)$  es insensible a los efectos de la falla. Por el contrario, un “1” significa que el residuo  $ri(t)$  es sensible a los efectos de la falla, ver Tabla II.

Del procedimiento descrito anteriormente, se pueden verificar las siguientes observaciones: si no hay falla, todos los efectos de las señales son iguales a cero (vea la columna “sin falla” de la Tabla II). Después, para localizar una falla los patrones de fallas deben ser diferentes (vea la columna “Falla 1”, “Falla 2” y “Falla 3” de la Tabla II), por último, si las señales son idénticas (vea la columna “Falla 1” y “Falla 4”) la localización de las fallas no es posible. La diferencia de todos los comportamientos es una condición necesaria mas no suficiente para garantizar la localización de las fallas [32, 37].

Para evitar la falta de información en la localización de fallas, se hace necesario proponer la construcción de la matriz de diagnóstico en forma canónica, la Tabla III muestra el comportamiento de los residuos en la forma canónica, ésta forma tiene por objetivo evitar la falta de detección evadiendo señales de igual comportamiento [37].

*Tabla III. Estructura canónica de la matriz de diagnóstico.*

	<b>Sin falla</b>	<b>Falla 1</b>	<b>Falla 2</b>	<b>Falla 3</b>
<b>Síntoma 1</b>	0	1	1	0
<b>Síntoma 2</b>	0	1	0	1
<b>Síntoma 3</b>	0	0	1	1

La etapa de decisión permite llevar a cabo la clasificación de las fallas, así como para determinar el tipo y su magnitud de la falla, en otras palabras, las causas que la originaron.

## 2.5 El convertidor CD-CA

Los convertidores CD-CA se conocen como inversores [5]. La función de un inversor es cambiar un voltaje de entrada en CD a un voltaje simétrico de salida de CA, con magnitud y frecuencia deseadas. Tanto el voltaje de salida como la frecuencia pueden ser fijos o variables. En los inversores ideales, las formas de ondas del voltaje de salida deberían de ser senoidales. Sin embargo, en los inversores reales no son senoidales y contienen ciertas armónicas. Pero debido a la disponibilidad de DSEP de alta velocidad, es posible minimizar o reducir el contenido armónico. Los impulsores eléctricos a velocidad variable representan actualmente una parte importante de los actuadores industriales [38].

### 2.5.1 Fallas en los convertidores CD-CA

El convertidor al igual que el controlador, también es un conjunto de elementos electrónicos y presenta una gran confiabilidad, pero no se encuentra exento de fallas. Las fallas más comunes en los sistemas convertidores CD-CA pueden clasificarse en [39]:

- Fallas en la fuente de CD (por ejemplo, en los diodos).
- Fallas en los DSEP.
- Fallas en el control de los DSEP.
- Fallas térmicas en los DSEP.
- Fallas en la carga.

### 2.5.2 Fallas en los dispositivos semiconductores

Los DSEP son objetos de muchos estudios, algunos para optimizar sus propiedades como interruptor, otros más para conocer sus límites de operación por envejecimiento y por supuesto no podían faltar algunos estudios sobre el diagnóstico de fallas abordando casos como: la fatiga térmica, los sobre voltajes y las sobre corrientes, así como los posibles defectos de fabricación.

Las fallas más comunes que se pueden presentar en los DSEP, son [5]:

- Dispositivo en circuito abierto 28%
- Dispositivo en corto circuito 30%
- Fallas de control 15%
- Fatiga térmica 15%
- Otras fallas 12%

Las fallas analizadas en este trabajo son las ocasionadas por dispositivos en corto circuito y por fatiga térmica que cubren un 45% del total de las fallas que pueden ocurrir en los DSEP. Específicamente para este trabajo de tesis, la falla por dispositivo en corto circuito (c.c) será tomada como sinónimo de falla por sobrecorriente, bajo la premisa de que al ocurrir una falla por c.c se genera una sobrecorriente en los DSEP, de igual manera la falla por fatiga térmica será sinónimo de falla por sobretemperatura en lo que resta de este documento. También cabe mencionar que cualquier aumento considerable de corriente en el circuito del inversor será tomado como falla por sobrecorriente, ya sea que este cambio sea provocado por un desbalance en la carga o por condiciones externas al inversor.

## 2.6 Técnica de detección de fallas de modelo paralelo

La técnica de detección de fallas de modelo paralelo o también llamada modelo de simulación es una descripción que se basa en la estructura física y el comportamiento del sistema libre de falla y la compara con el modelo real para la generación de residuos. Básicamente tiene la estructura de un observador en lazo abierto (ver Figura 10).

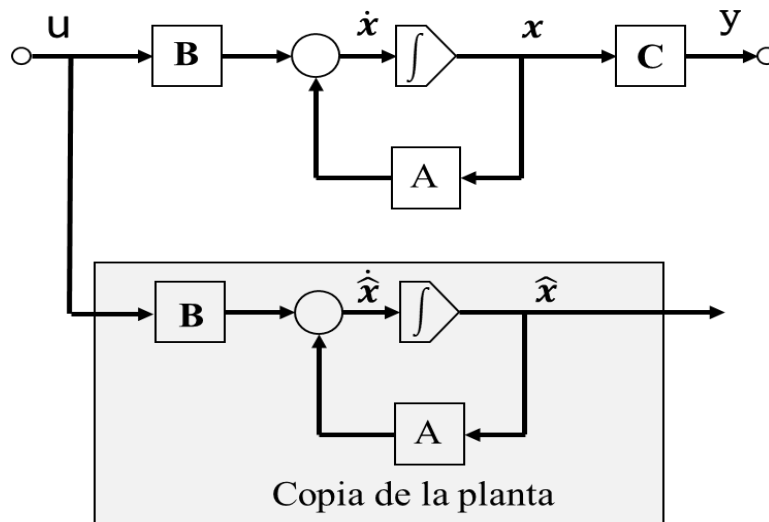


Figura 10. Estructura de un observador a lazo abierto [41].

El modelo paralelo es una manera de generar las señales de residuos [33, 37]. En donde se utiliza un modelo de simulación, que tiene como objetivo reproducir el comportamiento del sistema. En realidad, se trata de un modelo de referencia que tiene la misma estructura y reproduce el mismo comportamiento del sistema conociendo sus entradas. La Figura 11 presenta el sistema a bloques de la generación de los residuos a partir del modelo paralelo. El sistema está compuesto de tres bloques, un controlador ( $G_c$ ), un accionador ( $G_a$ ) y un subsistema ( $G_s$ );  $U$  es la entrada y  $Y$  es la salida del sistema [5].

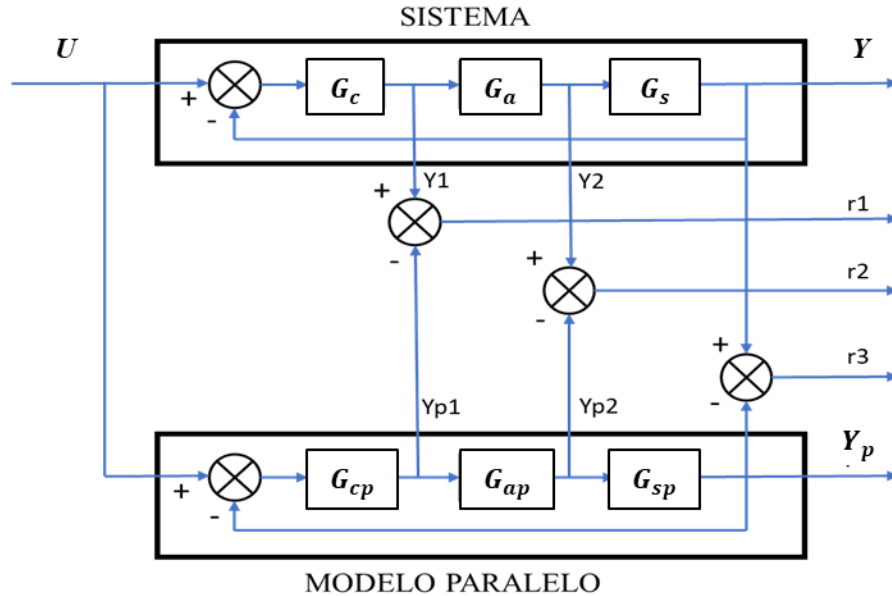


Figura 11. Generación de residuos mediante el modelo paralelo [5].

El modelo paralelo está compuesto de tres bloques en serie ( $G_{cp}$ ,  $G_{ap}$  y  $G_{sp}$ ) y la conexión de retorno, para tener la misma estructura que el sistema. Por otra parte, cualquiera de los bloques del modelo paralelo puede ser capaz de reproducir el comportamiento de sus homólogos en el sistema. Sobre este contexto, y bajo la hipótesis de que no existen fallas en el sistema, las señales de salida de los bloques del sistema ( $G_c$ ,  $G_a$  y  $G_s$ ) serán idénticas a las señales de salida del modelo paralelo ( $G_{cp}$ ,  $G_{ap}$  y  $G_{sp}$ ). Por el contrario, cuando aparece una falla en el sistema, las señales del modelo y el sistema se desvían [5]. Los residuos ( $r_1$ ,  $r_2$  y  $r_3$ ) que se obtienen a partir del modelo paralelo son descritos por las ecuaciones 2.8, 2.9 y 2.10:

$$r_1 = Y_1 - Y_{p1} \quad (2.8)$$

$$r_2 = y_2 - Y_{p2} \quad (2.9)$$

$$r_3 = Y - Y_p \quad (2.10)$$

## 2.7 Técnica de detección de fallas propuesta

### 2.7.1 Metodología

Para diagnosticar si el sistema está bajo la influencia de alguna falla primeramente se miden las señales de los sensores del modelo real y se comparan con las del modelo de referencia propuesto y así generar un residuo que indique la presencia de alguna anomalía en el sistema. Después de esto, el residuo se evalúa por medio de verificación de umbrales para generar síntomas que indican una determinada falla. Por último, estos síntomas son llevados a un bloque de decisión el cual se encarga de comparar y verificar si existe una falla, obteniendo con ello el diagnóstico completo.

### 2.7.2 Generación de residuos propuesto

Como se mencionó anteriormente, para dar solución a este trabajo de investigación se propone una técnica de detección de fallas basada en la técnica de modelo paralelo, la cual, será aplicada al módulo de potencia integrado IRAMS10UP60B. La principal diferencia entre la técnica de modelo paralelo (ver Figura 11) y la propuesta (ver Figura 12) es que no es necesaria la entrada ( $U$ ) al modelo de referencia ya que este último es independiente de la entrada del sistema y solo depende de las salidas de los sensores del IPM. Una ventaja de esta técnica es que no se necesita el modelo matemático del sistema, ya que únicamente se necesita la caracterización de los sensores de corriente  $I_{TRIP}$  y temperatura  $V_{TH}$  del módulo.

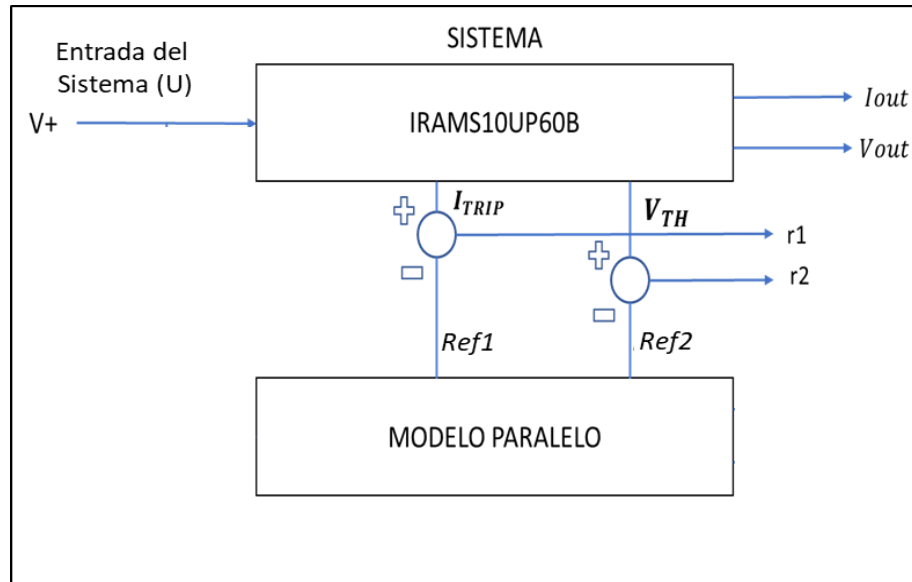


Figura 12. Diagrama de la técnica de detección de fallas propuesta para la generación de residuos [Fuente propia].

La Figura 12 muestra el diagrama de bloques del generador residual, donde el método de solución está basado en la técnica de modelo paralelo descrita anteriormente. En la imagen se puede observar las salidas de los sensores de sobrecorriente  $I_{TRIP}$  y temperatura  $V_{TH}$ , en este caso solo se tienen dos, pero independientemente de los sensores que se tengan, la técnica de detección seguirá funcionando correctamente, solo con agregarle más entradas al modelo. Los residuos que se generan ( $r_1, r_2$ ) son descritos por las ecuaciones 2.11 y 2.12:

$$r_1 = I_{TRIP} - Ref1 \quad (2.11)$$

$$r_2 = V_{TH} - Ref2 \quad (2.12)$$

Después de generar las señales de residuo, el siguiente paso es la etapa de evaluación de residuos. El problema se reduce a clasificar los residuos y generar una matriz de diagnóstico en forma canónica si es posible.

### 2.7.3 Evaluación de residuos

El problema de la evaluación consiste en definir el valor del límite de los residuos, a partir del cual se le considera como una falla [33], en otras palabras, con la evaluación de los residuos se obtienen las señales de síntomas. En forma general existen diversas maneras de evaluar los residuos, tal y como se mencionó en la sección 2.4.2, para acotar nuestro caso de estudio se revisan la evaluación mediante umbrales, en particular el método de umbral constante el cual se describe a continuación.

La evaluación de residuos se hará mediante verificación de umbral constante (Figura 13) tomando en cuenta las siguientes consideraciones: si el residuo está cercano a 0 Volts se tomará como un “0” lógico de lo contrario si está cercano a 3 Volts se tomará como “1” lógico, después estos síntomas serán puestos en un vector de firmas para su evaluación. La amplitud del umbral se define con base en los valores de salida de cada sensor del módulo.



Figura 13. . Diagrama de verificación de umbral constante para la evaluación de residuos [Fuente propia].



### 2.7.4 Decisión de las fallas

En resumen, la etapa de decisión, consiste en hallar las relaciones de causa a efecto entre las fallas y las señales de síntomas. Como se mencionó en la sección 2.4.3 la decisión de la falla se lleva a cabo de forma más fácil con la construcción de una matriz de diagnóstico, la cual se muestra en la Tabla IV.

*Tabla IV. Matriz de diagnóstico.*

	<b>Sin Falla</b>	<b>Falla 1</b>	<b>Falla 2</b>	<b>Falla 3</b>
<b>Síntoma 1</b>	0	0	1	1
<b>Síntoma 2</b>	0	1	0	1

La matriz de diagnóstico incluye únicamente valores “cero” y diferentes de cero “uno”. Un “0” significa que ese residuo es insensible a los efectos de falla. por el contrario, un “1” implica que el residuo es sensible a los efectos de la falla. Basándonos en lo dicho anteriormente, y en la matriz de diagnóstico generada, el proceso de la etapa de decisión se puede formular de la siguiente manera.

Para la etapa de decisión (ver Figura 14) se toman las firmas obtenidas de la evaluación de residuos y se comparan con una matriz de referencia, la cual, contiene las tres posibles combinaciones de falla, si las firmas de coherencia coinciden con las de referencia esto quiere decir que existe una falla en el sistema, por lo cual se genera una señal de falla que deshabilita al inversor y todas sus salidas (voltajes y corrientes) mediante el pin de falla/habilitación del módulo IRAMS10UP60B.

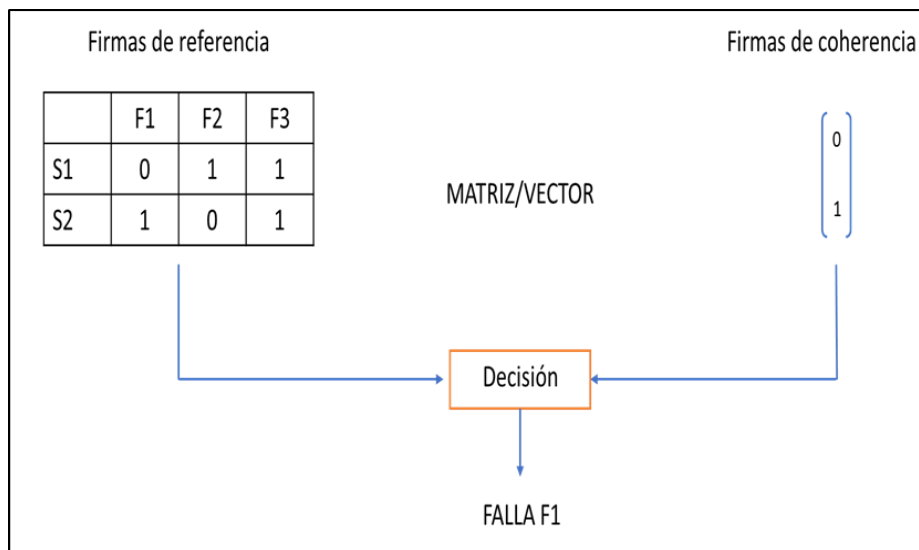


Figura 14. . Diagrama de la etapa de decisión de fallas [Fuente propia].

Cabe mencionar que la columna “Sin Falla” de la matriz de diagnóstico (ver Tabla IV) fue omitida de la matriz “Firmas de referencia” de la Figura 14 esto se debe a que en esa columna no hay detección de falla posible. Con esta última etapa se concluye el proceso de diagnóstico de fallas, obteniendo con ello un esquema de diagnóstico completo.

La técnica de detección de fallas propuesta en comparación con las técnicas reportadas para inversores trifásicos, es un método más sencillo y práctico de implementar, no se utilizan sensores adicionales para la generación de residuos, sino que se usan los que trae integrados el módulo, además con este método se pretende obtener un tiempo de detección de fallas que este dentro del rango de los métodos reportados en la literatura. Todo esto con el fin de aumentar la confiabilidad del módulo IRAMS10UP60B.

---

---

# Capítulo 3

## Diseño y construcción del prototipo

---

---

### 3.1 Diseño del prototipo

En el capítulo anterior se propone la implementación de una técnica de detección de fallas al módulo de potencia integrado IRAMS10UP60B, que básicamente es un inversor trifásico puente completo. Por consiguiente, en este capítulo se desarrollará el diseño y construcción del prototipo a implementar. En la Figura 15 se muestra cada una de las partes que conforma dicho prototipo.

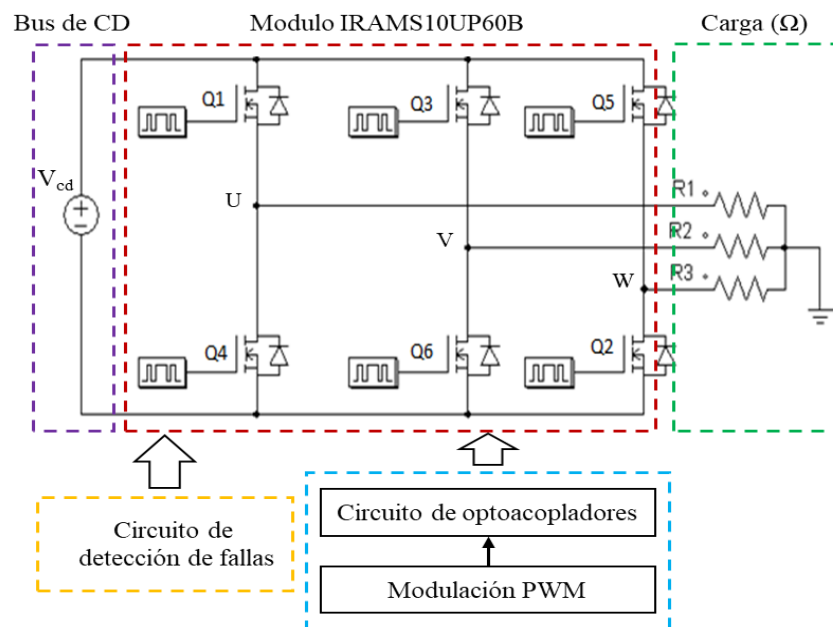


Figura 15. Partes que conforma el diseño del prototipo para la detección de fallas [Fuente propia].

La implementación del prototipo de la Figura 15, está integrado básicamente de las siguientes partes:

- Un módulo IRAMS10UP60B.
- Señales de control para la conmutación de los dispositivos IGBT (6 señales).
- Circuito de detección de fallas.
- Una fuente de CD para la alimentación del inversor (Bus de CD).
- Una carga conectada a la salida del inversor.

A continuación, se describe el diseño de cada una de las partes del prototipo enlistadas anteriormente.

### 3.1.1 El módulo de potencia integrado IRAMS10UP60B

Las características principales del módulo IRAMS10UP60B se presentan en la Tabla V. que se muestra a continuación.

Tabla V. Características del módulo IRAMS10UP60B.

Parámetros	Descripción	Valor	Unidades
$V_{CES}/V_{RRM}$	IGBT/Voltaje de bloque del diodo	600	V
$V^+$	Voltaje de entrada del bus positivo	450	V
$I_O @ T_C=25^\circ C$	RMS Corriente de fase ( Nota 1)	10	A
$I_O @ T_C=100^\circ C$	RMS Corriente de fase (Nota 1)	5	A
$I_O$	Corriente de fase RMS pulsante (Nota 2)	15	A
$F_{PWM}$	PWM Frecuencia de la portadora	20	kHz
$P_D$	Disipación de potencia por IGBT @ $T_C=25^\circ C$	27	W
$V_{ISO}$	Voltaje de aislamiento	2000	$V_{RMS}$
$T_J$ (IGBT & Diodos)	Rango de temperatura de unión	-40 a +150	$^\circ C$
$T_J$ (Driver IC)	Rango de temperatura de unión	-40 a +150	$^\circ C$
$T$	Rango de par de montaje (Tornillo M3)	0.5 a 1.0	Nm

Los módulos IRAMS10UP60B se caracterizan por requerir muy pocos componentes externos para su funcionamiento (Figura 16), ya que internamente cuenta con varios elementos que facilitan su operación y que lo hacen más compacto a comparación con los inversores tradicionales diseñados con IGBTs individuales.

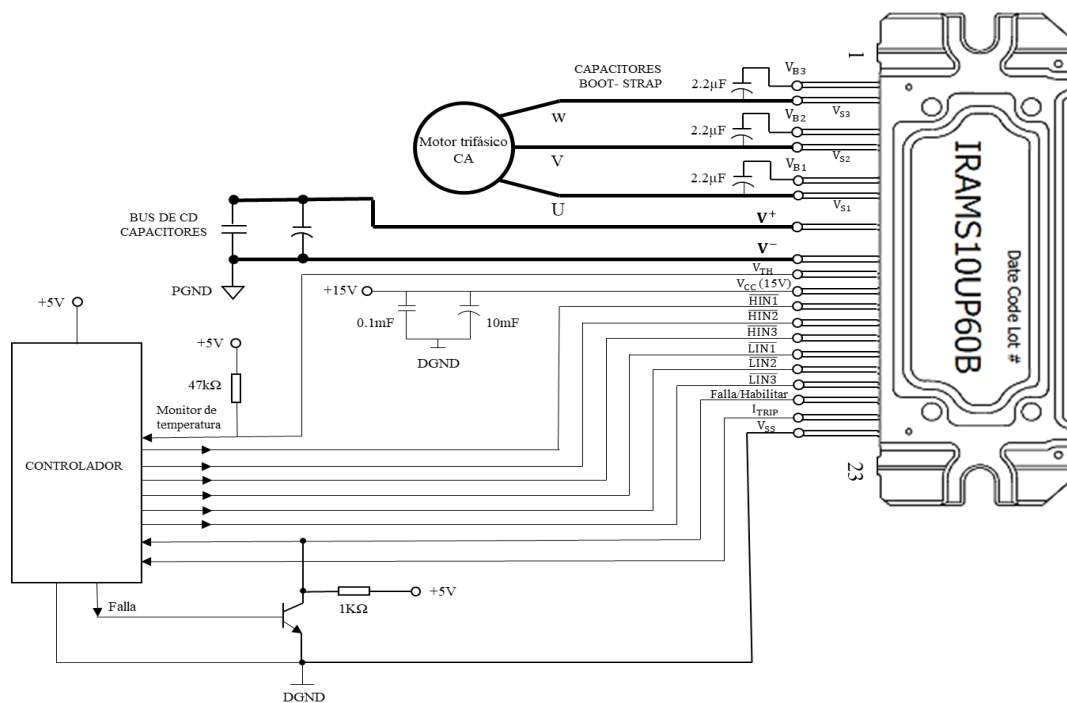


Figura 16. Aplicación típica del módulo IRAMS10UP60B [40].

Uno de los elementos internos con que cuenta este módulo es el circuito que tiene la función de acondicionar las señales de mando para la activación de las compuertas de los componentes IGBT, por lo que no es necesario implementar circuitos impulsores de manera externa. Otra de las características que distinguen al módulo es que no requiere de fuentes aisladas para conmutar los interruptores superiores del circuito puente completo debido a que cuenta con un modo de operación llamado bootstrap. La operación en modo bootstrap en términos generales requiere para su funcionamiento de 3 capacitores conectados de forma externa y 3 diodos conectados de manera interna, en [8, 40] se describe en forma detallada la operación de este modo.

Para determinar los valores de los capacitores externos se requiere conocer la frecuencia de conmutación a la que estarán trabajando los interruptores internos del puente completo del módulo (ver Figura 17).

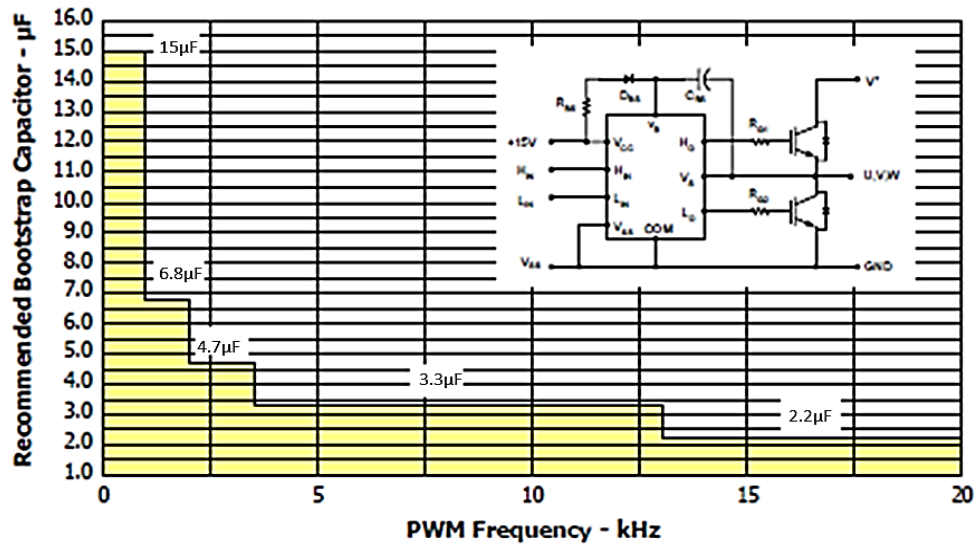


Figura 17. Valor recomendado del capacitor bootstrap vs frecuencia de conmutación [40].

Con base en el rango de frecuencia de conmutación seleccionada y de la figura anterior, el valor del capacitor bootstrap a utilizar es de 3.3µF del material tantalio, esto de acuerdo a las recomendaciones del fabricante [40]. El valor del capacitor se seleccionó a un rango de frecuencia mayor, esto debido a que se pretenden hacer pruebas a diferentes frecuencias de conmutación.

### 3.1.2 Diseño de la Técnica de control PWM

Las técnicas de PWM más utilizadas para el accionamiento de convertidores de potencia se clasifican en [38]:

- Modulación de un solo ancho de pulso.
- Modulación de varios anchos de pulso.
- Modulación senoidal del ancho de pulso.
- Modulación senoidal modificada del ancho del pulso.

Cada una de las técnicas anteriores presentan ventajas y desventajas para diseñar y construir un controlador tipo PWM, desde las más simples como la variación de solo una señal o pulso, hasta las más complicadas como la variación de muchos pulsos mediante la comparación de dos señales.

Para la activación de los interruptores del puente completo del módulo IRAMS10UP60B, se emplea un controlador mediante modulación de un solo ancho de pulso, ya que esta técnica de control es sencilla y practica de implementar. Además, que para nuestro caso de estudio el porcentaje de Distorsión Armónica Total (THD) no será de gran importancia. En la Figura 18 se muestra el patrón de conmutación.

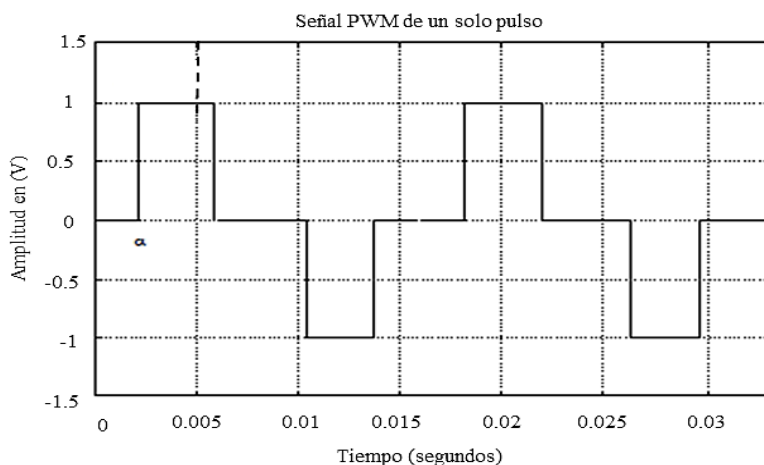


Figura 18. Patrón de conmutación de un solo ancho de pulso [5].

En la Figura 19 muestra la topología del inversor trifásico en puente completo que internamente tiene el módulo IRAMS10UP60B. Estos inversores se dividen según su forma de operar: en conducción a  $180^\circ$  de cada elemento, con lo cual habrá 3 elementos en conducción al mismo tiempo y conducción a  $120^\circ$ , con 2 elementos por vez. Además, pueden alimentar los dos tipos característicos de cargas trifásicas simétricas: conexión delta y estrella [42].

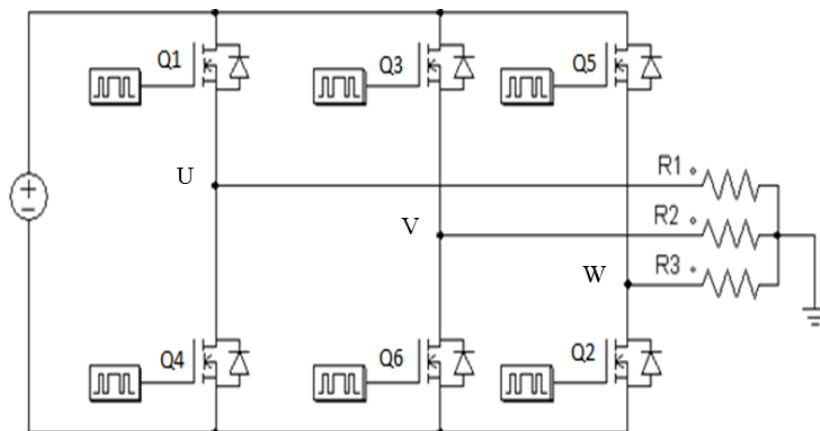


Figura 19. Inversor trifásico puente completo [42].

### Conducción a 180°

En la Figura 20 se muestran las señales de disparo para cada uno de los interruptores del inversor trifásico en donde cada transistor conducirá durante 180°. Tres transistores se mantienen activos durante cada instante del tiempo. Cuando el transistor Q1 está activado (ver Figura 19), la fase U se conecta con la terminal positiva del voltaje de entrada. Cuando se activa el transistor Q4, la fase U se lleva a la terminal negativa de la fuente DC.

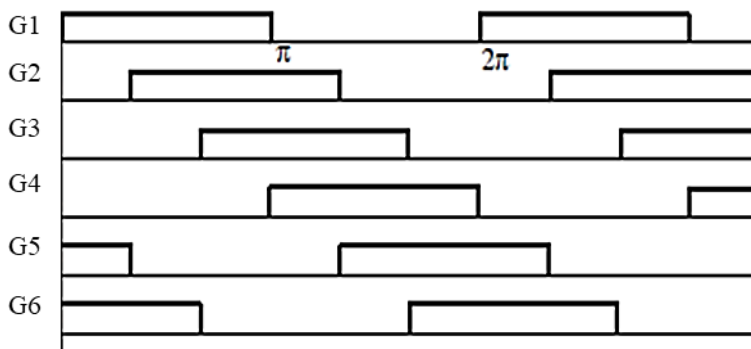


Figura 20. Secuencia de las señales de control para los interruptores conduciendo a 180° [42].



En cada ciclo existen seis modos de operación, cuya duración es de  $60^\circ$ . Los transistores se numeran según su secuencia de excitación por ejemplo (Q123, Q234, Q345, Q456, Q561, Q612). Las señales de excitación mostradas en la Figura 20 están desplazadas  $60^\circ$  unas de otras, para obtener voltajes trifásicos balanceados. El control descrito anteriormente se implementó en la tarjeta FPGA Altera Cyclone II EP2C5T144 que se muestra en la Figura 21. Esta tarjeta debido a su bajo costo la hacen una solución ideal para una amplia gama de aplicaciones, y también es compatible con el software IDE Altera Quartus II y su edición web libre. (En el anexo A se explica con más detalle el proceso de implementación de la técnica de control PWM utilizada).

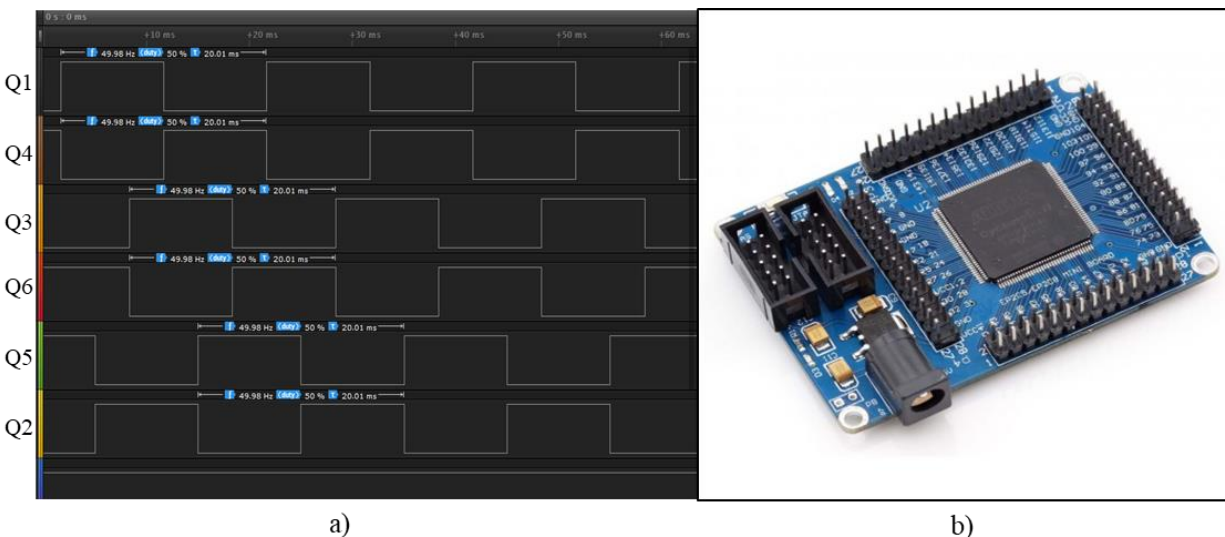


Figura 21. Diseño del control PWM de ancho de pulso constante, a) Señales de control para los 6 interruptores trabajando a  $180^\circ$  y 50, Hz b) Tarjeta FPGA Altera Cyclone II EP2C5T144 [Fuente propia].

### 3.1.3 Circuito de detección de fallas

El diseño del circuito de detección de fallas está orientado para un sistema inversor CD/CA tipo modular, específicamente para Módulos Integrados de Potencia (IPM), como el módulo IRAMS10UP60B que se describe en la sección 3.1.1, el cual, es la base de nuestro caso de estudio de este trabajo de investigación. El esquema de detección propuesto se muestra en la Figura 22.

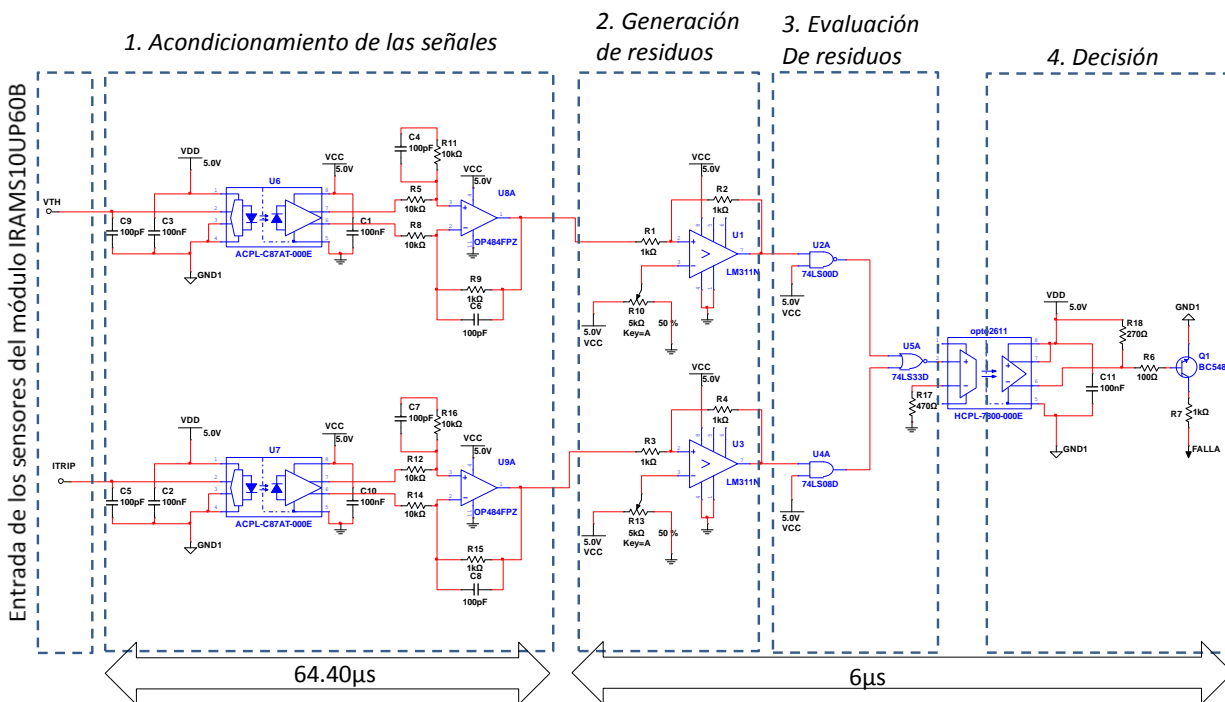


Figura 22. Esquema de detección de fallas basado en la técnica de modelo paralelo [Fuente propia].

En el esquemático de la Figura 22 se observa el circuito lógico propuesto para la aplicación de la técnica de detección de fallas basada en el modelo paralelo que se describe en la sección 2.7, al cual, se le agregó una etapa de acondicionamiento de señales para aislar la etapa de potencia del inversor con la del circuito de detección, y así evitar ruidos o perturbaciones que puedan provocar falsas alarmas de detección de falla. A continuación, se describen como están compuestas cada una de estas etapas y los componentes que las integran.

- 1. Acondicionamiento de las señales:** Para la primera etapa se utiliza el sensor de voltaje de precisión aislado ACPL-C87A para separar la tierra del inversor con la del circuito lógico de diagnóstico, después a la salida del sensor de voltaje se le agrega un amplificador de precisión OP484FPZ en configuración inversora debido a que a las salidas del ACPL-C87A se tienen voltajes negativos.

2. **Generación de residuos:** En esta etapa se utilizan el comparador de voltaje LM311 en configuración con histéresis para la generación de residuos.
3. **Evaluación de residuos:** En este caso se utilizan compuertas lógicas de tecnología TTL (74LS08N, 74LS00N, 74LS32N Y 74LS04N) configuradas de tal manera que se ajusten a las salidas de los comparadores y así obtener una evaluación de residuos precisa.
4. **Decisión:** Por último, se tiene la etapa de decisión, la cual, se encarga de enviar la señal de falla al pin de habilitación del módulo mediante un transistor BC548B lo que deshabilita todas las salidas del inversor (voltaje y corriente).

Con base en las características de los elementos que integran el circuito de detección diseñado se deduce que el tiempo para accionar la alarma de falla es de  $70.80\mu\text{s}$ , donde aproximadamente  $64.40\mu\text{s}$  está relacionado con la tasa de cambio (*slew rate*) del amplificador y el sensor del voltaje de la etapa de acondicionamiento de las señales y  $6\mu\text{s}$  con el tiempo de propagación de los circuitos integrados de las etapas restantes (ver Figura 22). Una posible solución para disminuir el tiempo de detección sería utilizar componentes con mejores características, como amplificadores de instrumentación con una alta tasa de cambio y compuertas de mayor velocidad de transmisión entre los estados lógicos, lo cual resultaría en una mejora en el tiempo de detección, pero en un aumento considerable en el precio del circuito de detección.

Una manera de comprobar el correcto funcionamiento del circuito de detección es diseñando un circuito de prueba que permita emular o reproducir físicamente el comportamiento de las fallas en el módulo (fallas por sobrecorriente y sobretemperatura) con la ventaja de poder controlar los rangos de corriente y temperatura de operación. La emulación de la falla se obtiene a partir de dos fuentes de voltaje variable de CD las cuales emulan el comportamiento de las salidas de los sensores ( $V_{TH}$ ,  $I_{TRIP}$ ) del módulo IRAMS10UP60B. En la Figura 23 se muestra el tiempo de detección de fallas obtenido.

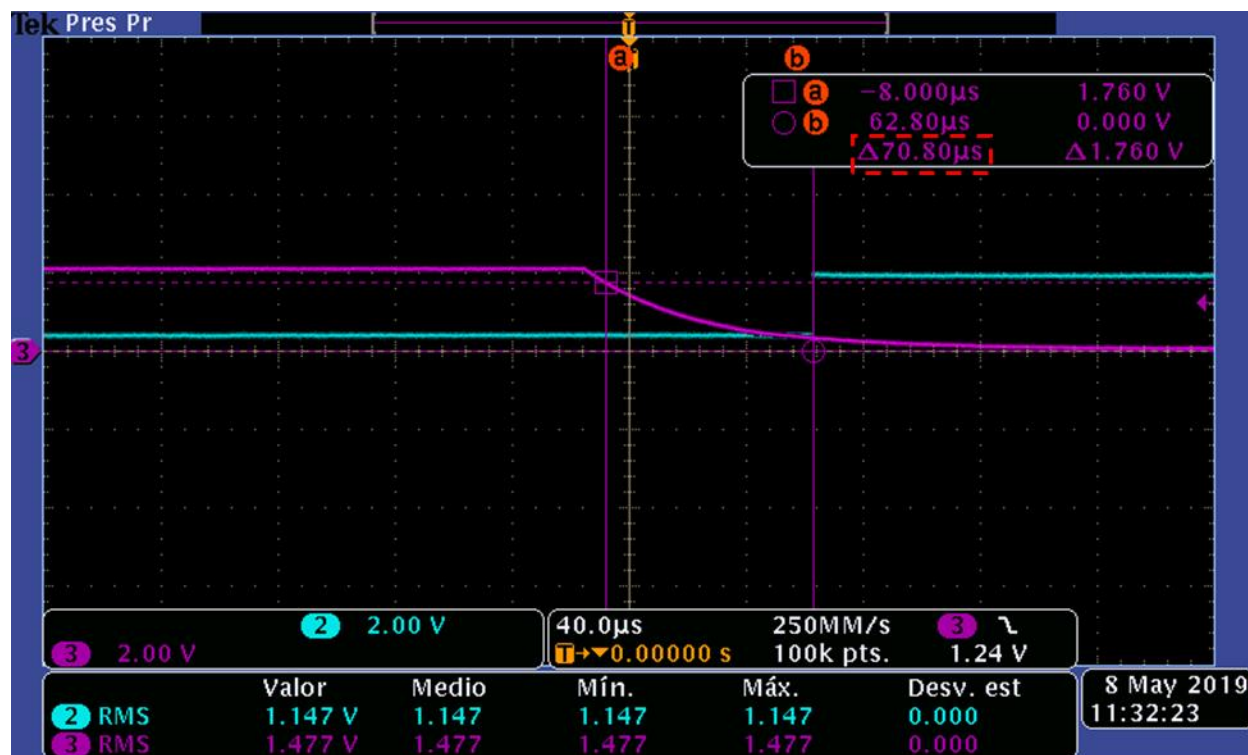


Figura 23. Tiempo de detección de fallas obtenido de 70.80 μs (recuadro rojo), señal de referencia (Línea rosa) y señal de falla (Línea azul).

En la Figura 23 se puede observar en el recuadro de color rojo el tiempo de detección de fallas obtenido que es de 70.80 μs, el cual, con base en las pruebas realizadas es aplicable para ambas fallas (por sobretemperatura y sobrecorriente) ya que el tiempo de detección para ambos casos es el mismo. El tiempo de detección de fallas es muy importante a la hora de implementar cualquier técnica de diagnóstico a convertidores de potencia, ya que tiempos de detección mayores al periodo de conmutación de los interruptores (IGBT, MOSFET) podrían ocasionar averías en los componentes que integran al convertidor, daños materiales y hasta poner en riesgo la integridad física humana.

El tiempo obtenido por esta técnica de detección de fallas a comparación con algunos de los reportados en la literatura es mucho menor, pero dicha comparación no es del todo válida, ya que

la mayoría de las técnicas reportadas son diseñadas para inversores construidos principalmente con IGBT individuales o ramas de dos IGBT que emplean métodos complejos, como redes neuronales y modelos matemáticos que en algunos casos utilizan un alto grado de procesamiento digital y computacional para análisis de las señales de falla. Como se mencionó anteriormente, en la literatura no se reportan técnicas de diagnóstico de fallas aplicadas a módulos de potencia integrados, por lo que se concluye que la técnica de detección de fallas implementada al módulo IRAMS10UP60B es una aportación de este trabajo de tesis y un nuevo enfoque para el diagnóstico de fallas a inversores IPM.

De acuerdo a lo dicho anteriormente, también se puede concluir que el tiempo de detección obtenido por la técnica propuesta solo es comparable con los reportados en la literatura como una medida de referencia de que tan viable es este método para implementarlo en aplicaciones que utilicen este tipo de módulos de potencia.

### **3.1.4 Carga resistiva y bus de CD**

Para la implementación se utilizaron dos tipos de carga, dependiendo si la aplicación lo requería.

1. Carga trifásica resistiva de  $100\Omega$  conectada en estrella: Este tipo de carga está diseñada para aplicaciones que requieran un alto voltaje de línea con baja corriente en la carga.
2. Carga trifásica resistiva de  $10\Omega$  conectada en delta: Este tipo de carga está diseñada para aplicaciones que requieran una alta corriente de carga con bajo voltaje de línea.

Para el bus de CD se utilizó una fuente de voltaje variable Magna Power Electronics de un rango de operación de 400V y 40A.

## 3.2 Construcción del prototipo

El proceso de diseño de las placas PCB que conforman el prototipo se reportan el Anexo B. En la Figura 24 se muestra el prototipo ya terminado en el cual se realizarán las pruebas de detección de fallas por sobret temperatura y sobrecorriente al módulo IRAMS10UP60B.

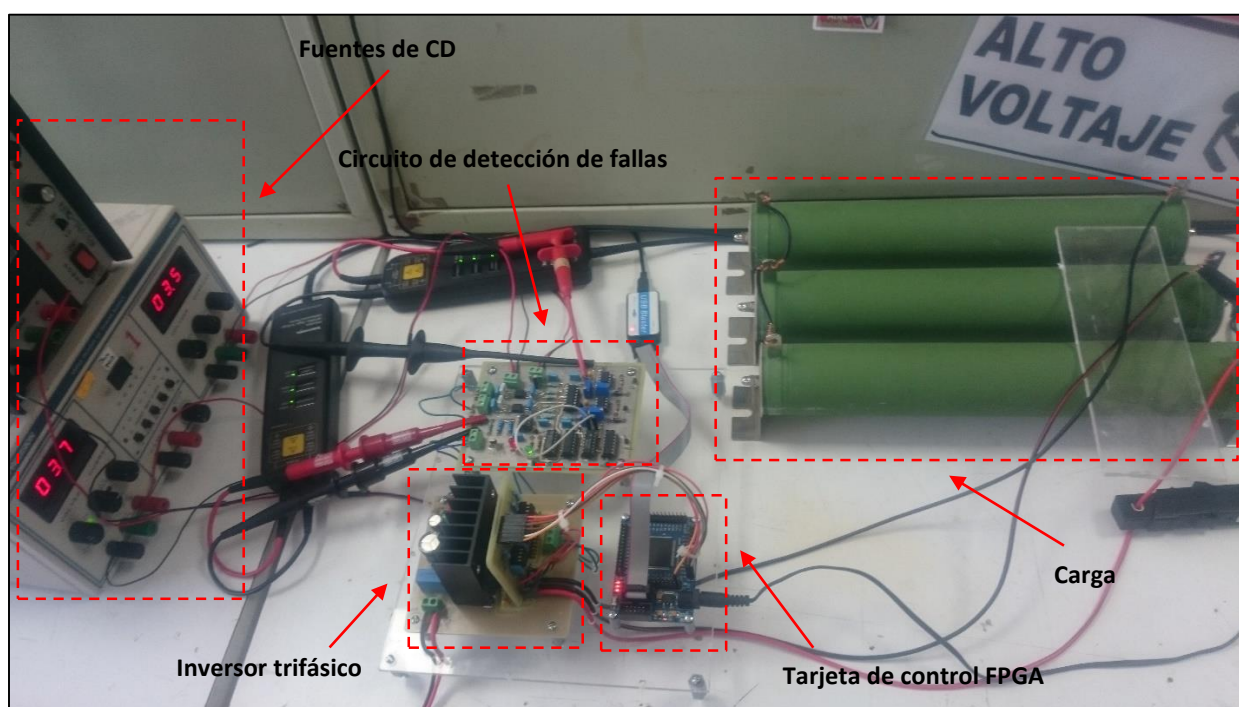


Figura 24. . Prototipo para la implementación de la técnica de detección de fallas basada en el modelo paralelo [Fuente propia].

A continuación, se enlistan las principales partes que integran el prototipo de la figura anterior.

1. Inversor trifásico puente completo (módulo IRAMS10UP60B).
2. Tarjeta FPGA Altera Cyclone II EP2C5T144 (para el control de los interruptores).
3. Circuito de detección de fallas.
4. Carga trifásica resistiva ( $\Omega$ ).

---

---

# Capítulo 4

## Pruebas y resultados experimentales

---

---

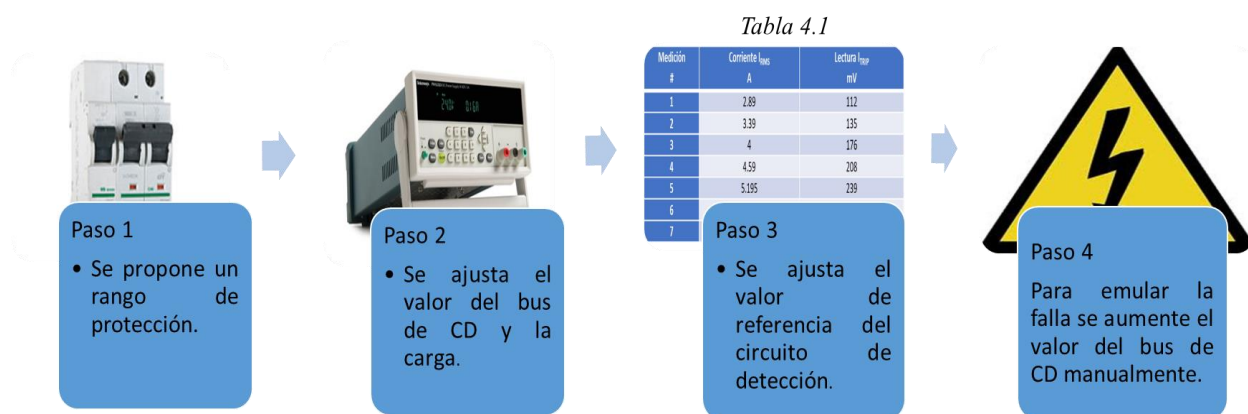
Para analizar el comportamiento del sistema bajo la presencia de fallas, se hace necesario considerar una observación confiable de la falla, tanto para que el sistema no sufra destrucción, como para que se puedan adquirir las señales necesarias para su posterior procesamiento y diagnóstico de las mismas.

Diversas fallas pueden ocurrir en los convertidores CD/CA, sin embargo, el trabajo está acotado a analizar solo dos (falla por sobrecorriente y falla por sobretemperatura) esto debido a que solo se utilizarán los sensores (de corriente  $I_{TRIP}$  y temperatura  $V_{TH}$ ) que trae integrados el módulo IRAMS10UP60B para la detección de fallas. A continuación, se describe un protocolo de pruebas para la implementación de cada una de las fallas antes mencionadas al prototipo (ver Figura 24), como también se muestran los resultados obtenidos del proceso de detección.

### 4.1 Protocolo de pruebas para fallas por sobrecorriente

Diversas situaciones pueden originar este tipo de falla, quizás pueda ser un problema del comando de la compuerta que enciende a los dos interruptores de una misma rama, o bien la falla interna de uno de los componentes de potencia que se cortocircuita, todas estas situaciones generan un aumento abrupto en la corriente del circuito del inversor, es decir ocasionan una falla por sobrecorriente.

Para emular las fallas por sobrecorriente en el módulo, el procedimiento es el siguiente.



*Figura 25. Protocolo de pruebas para fallas por sobrecorriente [Fuente propia].*

A continuación, se describen con más detalle los pasos a seguir para implementar el protocolo de pruebas propuesto en la Figura 25.

### **Paso 1**

Se propone un rango de corriente de protección para el correcto funcionamiento del inversor (operación libre de falla) que no sobrepase los límites de operación del módulo IRAMS10UP60B. Los rangos de voltaje y corriente propuestos para las pruebas a realizar se basan principalmente en probar que la técnica de detección de fallas propuesta funciona correctamente a distintos niveles de corriente que demanda la carga.

### **Paso 2**

Se ajusta el valor del voltaje de la fuente (bus de CD) y la carga para que no sobrepasar el límite de corriente propuesto en el paso 1. La carga utilizada para las pruebas es una carga resistiva balanceada conectada en delta, para obtener corrientes altas con voltajes bajos. Esto se hace con el fin de obtener rangos de corriente más cercanos a los manejados en las aplicaciones reales que utilizan este tipo de módulos.



Para calcular los valores de voltaje y corriente necesarios se usan las siguientes ecuaciones 4.1, 4.2 y 4.3:

$$V_F = V_L \quad (4.1)$$

$$I_F = \frac{V_F}{R} = \frac{V_L}{R} \quad (4.2)$$

$$I_L = \sqrt{3}I_F \quad (4.3)$$

Donde:

$V_F$ = Voltaje de fase

$V_L$ = Voltaje de línea

$I_F$ = Corriente de fase

$I_L$ = Corriente de línea

$R$ = Resistencia ( $\Omega$ )

### Paso 3

Se ajusta el valor de referencia ( $V_{Ref1}$ ) del comparador de voltaje del circuito de detección de fallas con base a los valores registrados en la Tabla VI. Este valor es seleccionado de acuerdo al límite de corriente de protección del paso 1.

Tabla VI. Comportamiento del sensor de corriente ( $I_{TRIP}$ ) del módulo IRAMS10UP60B.

Medición #	Corriente $I_{RMS}$ A	Lectura $I_{TRIP}$ mV ( $V_{Ref1}$ )
1	2.89	112
2	3.39	135
3	4	176
4	4.59	208
5	5.195	239
6	5.8	270
7	6.4	300

#### Paso 4

Para emular la falla se aumenta abruptamente el valor del bus de CD de forma manual, generando así una sobrecorriente en el circuito del inversor, lo cual ocasiona que se sobrepase el límite de corriente de protección propuesta en el paso 1 y como resultado de esto se genera una falla que al ser detectada por el circuito de detección deshabilita todas las salidas del inversor.

#### 4.1.1 Resultados experimentales

En la Tabla VII se muestran las condiciones para realizar las pruebas de detección de fallas por sobrecorriente.

*Tabla VII. Condiciones para las pruebas de detección de fallas por sobrecorriente al módulo IRAMS10UP60B.*

<b>Prueba #</b>	<b>Bus de CD (V)</b>	<b>Carga (3Ø, Δ) (Ω)</b>	<b>Corriente I<sub>LRMS</sub> (A)</b>	<b>Corriente de protección (A)</b>	<b>V<sub>Ref1</sub> (mV)</b>	<b>Frecuencia Hz</b>
1	20	10	2.84	3	135	50
2	35	10	4.59	5	239	50
3	45	10	5.79	6	270	50

Las condiciones de operación de la Tabla VII se basan principalmente en probar que el circuito de detección diseñado funciona correctamente a diferentes niveles de corriente de protección.

A continuación, se muestran las pruebas y los resultados obtenidos de la técnica de detección de fallas basada en el modelo paralelo implementada al módulo de potencia IRAMS10UP60B.

### Prueba #1

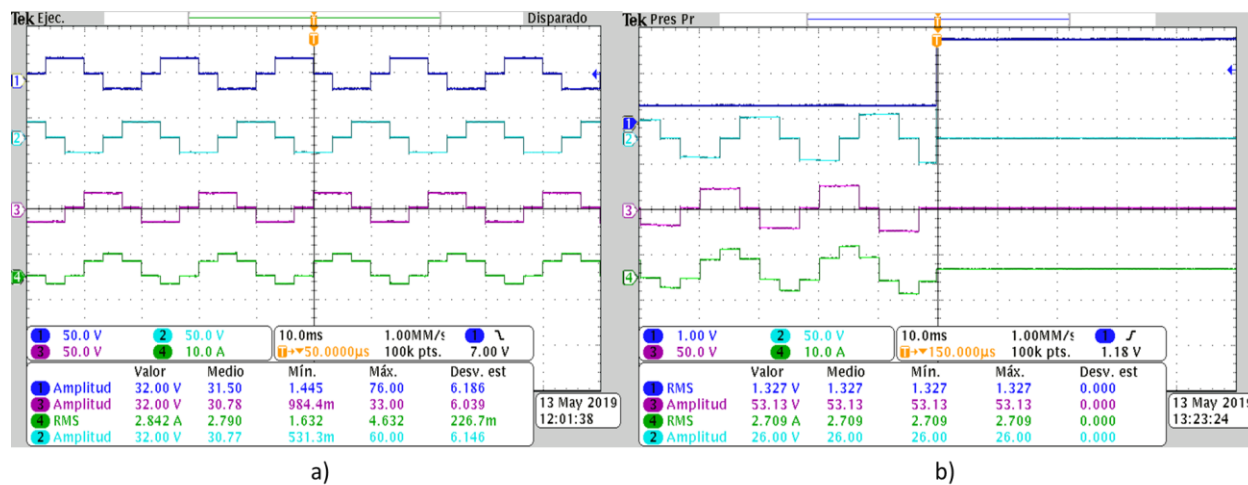


Figura 26. a) Formas de onda de las salidas del inversor (voltaje y corriente) libre de falla y b) Desactivación de todas las salidas del inversor bajo los efectos de falla por sobrecorriente, (L. azul) señal de falla.

La figura anterior muestra los resultados obtenidos de la prueba #1, en donde se puede observar que en la Figura 26a el inversor está trabajando normalmente (sin falla), hasta que el circuito de detección de fallas detecta una sobrecorriente que rebasa el límite de corriente de protección propuesto (ver Tabla VII), por lo que dicho circuito manda una señal de falla (línea azul) al pin de habilitación del módulo, lo cual, provoca que se deshabilite y por consecuencia las señales de voltaje y corriente de salida del inversor caigan a cero, tal y como se observa en la Figura 26b. El proceso de detección de fallas descrito anteriormente es el mismo para las pruebas #2 y #3 (Figuras 27 y 28), con la única diferencia, de que los límites de corriente de protección son distintos para cada una de las pruebas. A continuación, se muestran dichas pruebas.

**Prueba #2**

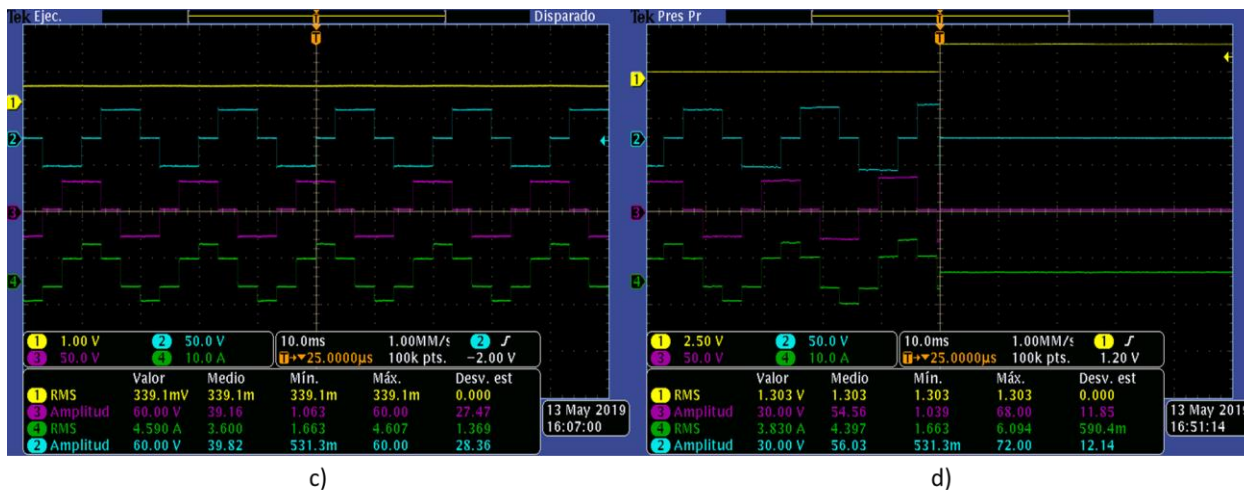


Figura 27. c) Formas de onda de las salidas del inversor (voltaje y corriente) libre de falla y d) Desactivación de todas las salidas del inversor bajo los efectos de falla por sobrecorriente, (L. amarilla) señal de falla.

**Prueba #3**

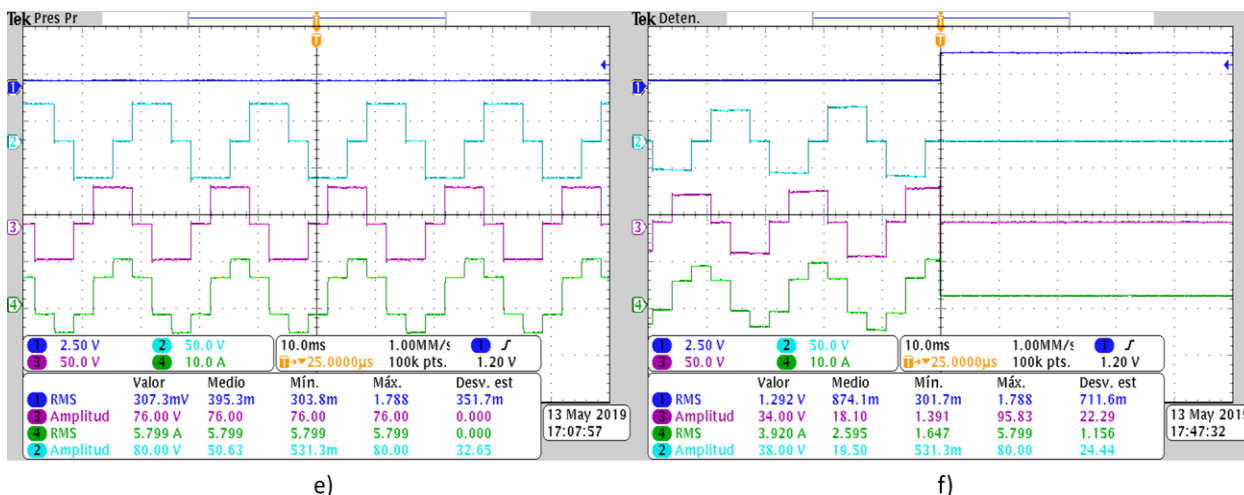


Figura 28. e) Formas de onda de las salidas del inversor (voltaje y corriente) libre de falla y f) Desactivación de todas las salidas del inversor bajo los efectos de falla por sobrecorriente, (L. azul) señal de falla.

Las pruebas realizadas anteriormente demuestran que la técnica de detección de fallas propuesta funciona correctamente para detectar fallas por sobrecorriente en el módulo IRAMS10UP60B. Una de las características de este módulo de potencia es que contiene internamente una protección contra sobrecorriente de aproximadamente de 13Amp, lo cual, al rebasar este límite el módulo entra en un estado de bloqueo. Con la implementación de esta técnica de detección, el rango de protección del módulo puede ser controlado dependiendo de la corriente que exija la carga, obteniendo con ello una mayor seguridad de operación.

## 4.2 Protocolo de pruebas para fallas por sobretemperatura

Este tipo de falla es provocada principalmente por estrés térmico de los dispositivos semiconductores de potencia (DSEP), ocasionado por condiciones externas (ambientales, fuentes de calor cercanas, un mal diseño del disipador) e internas (alta frecuencia de conmutación, carga de potencia variable) que pueden conducir a un deterioro en las propiedades eléctricas del dispositivo, aumentando las corrientes de fuga y disminuyendo las áreas de operación segura.

Para emular las fallas por sobretemperatura en el módulo, el procedimiento es el siguiente.

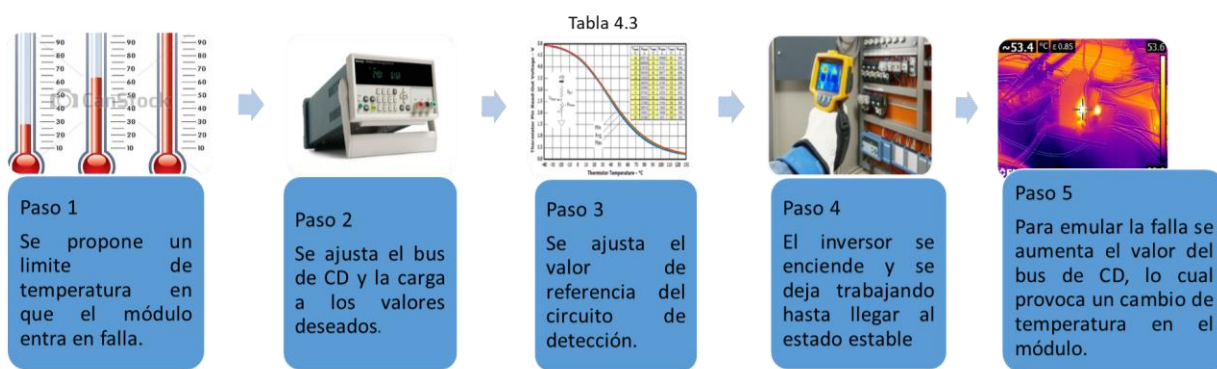


Figura 29. Protocolo de pruebas para fallas por sobretemperatura [Fuente propia].

A continuación, se describen con más detalle los pasos a seguir para implementar el protocolo de pruebas propuesto en la Figura 29.

**Paso 1**

Se propone un rango de temperatura de protección para el correcto funcionamiento del módulo (operación libre de falla) que no sobrepase los límites de operación especificados en la hoja de datos [40]. Los rangos son seleccionados a diferentes niveles de temperatura para probar que la técnica de detección de fallas propuesta funciona correctamente a distintos puntos de operación.

**Paso 2**

Se ajusta el bus de CD y la carga a valores deseados. La carga utilizada para las pruebas es una carga resistiva balanceada conectada estrella. Se utiliza este tipo de conexión para obtener rangos de voltajes de fase “altos” con corrientes bajas, esto debido a que en la hoja de datos del módulo se especifica que a cierta temperatura (100°C) el límite de corriente que puede soportar el módulo se reduce a la mitad (5A). Entonces, para evitar posibles daños al inversor se trabajan con valores que estén por debajo de los niveles especificados anteriormente.

Para calcular los valores de voltaje y corriente necesarios se usan las ecuaciones 4.4 y 4.5:

$$\text{Conexión estrella} \begin{cases} V_F = V_{FN} = \frac{V_L}{\sqrt{3}} \\ I_F = I_L \end{cases} \quad (4.4)$$

Aplicando la ley de Ohm se deduce que:

$$I_F = \frac{V_F}{R} = \frac{V_{FN}}{R} = \frac{V_L}{\sqrt{3}R} \quad (4.5)$$

Donde:

$V_F$ = Voltaje de fase

$V_{FN}$ = Voltaje de fase-neutro

$V_L$ = Voltaje de línea

$I_F$ = Corriente de fase

$I_L$ = Corriente de línea

$R$ = Carga ( $\Omega$ )

**Paso 3**

Se ajusta el valor de referencia ( $V_{Ref2}$ ) del comparador de voltaje del circuito de detección de fallas con base a los valores registrados en la Figura 30. Este valor es seleccionado de acuerdo al límite de temperatura de protección del paso 1.

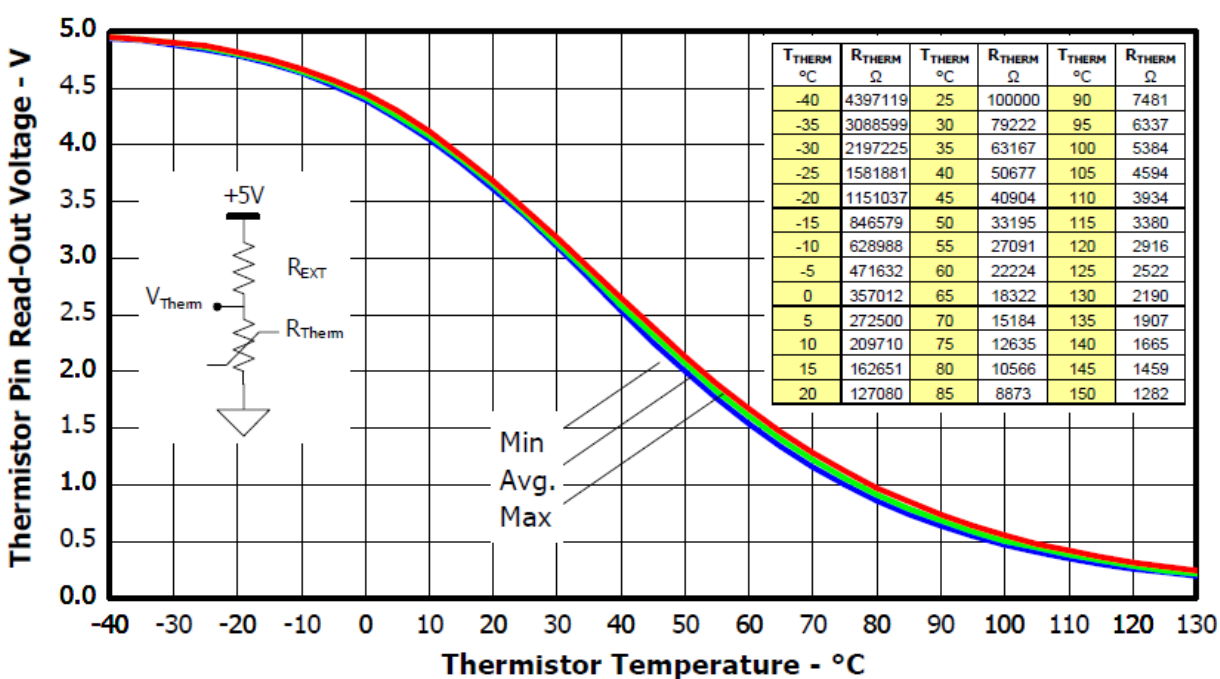


Figura 30. Lectura del termistor interno del módulo - frente a cambios de temperatura [40].

**Paso 4**

El inversor se enciende y deja trabajando hasta llegar a su funcionamiento en estado estable, es decir que no hay variaciones en su temperatura y corriente (idealmente). El monitoreo de la temperatura se hace mediante una cámara térmica FLIR GT165. Cabe mencionar también que la temperatura de trabajo del módulo debe estar dentro del rango propuesto en el paso 1, para así poder emular la falla.

### Paso 5

Para emular la falla se aumenta el valor del bus de CD manualmente ocasionando un aumento de corriente en el circuito del inversor, lo cual, a la vez provoca un cambio en la temperatura de operación del módulo capaz de rebasar el límite de temperatura propuesto en el paso 1.

#### 4.2.1 Resultados experimentales

En la Tabla VIII se muestran las condiciones para realizar las pruebas de detección de fallas por sobretemperatura.

*Tabla VIII. Condiciones para las pruebas de detección de fallas por sobretemperatura al módulo IRAMS10UP60B.*

<b>Prueba #</b>	<b>Bus de CD (V)</b>	<b>Carga (3Ø, Y) (Ω)</b>	<b>Temperatura límite (°C)</b>	<b>V<sub>Ref2</sub> (V)</b>
<b>1</b>	180	100	40	2.3
<b>2</b>	200	100	45	2.1
<b>3</b>	250	100	50	1.9

A continuación, se muestran las pruebas y los resultados obtenidos de la técnica de detección de fallas basada en el modelo paralelo implementada al módulo de potencia IRAMS10UP60B.



**Prueba #1**

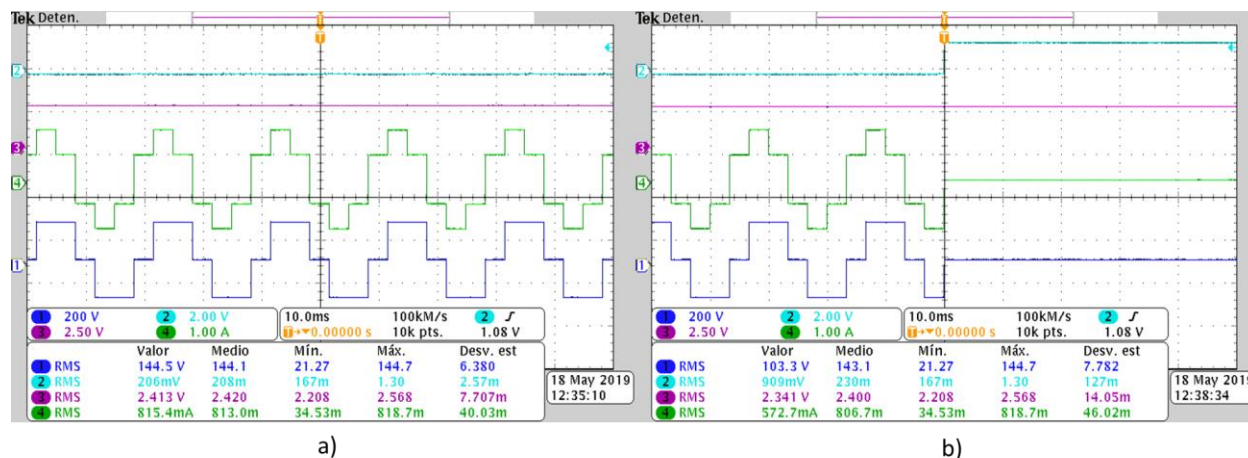


Figura 31. a) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), Señal de falla (Línea azul celeste) y Lectura del sensor de temperatura (Línea morada) b) Desactivación de todas las salidas del inversor bajo los efectos de la falla.



Figura 32. Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.

Las figuras anteriores muestran los resultados obtenidos de la prueba #1, en donde se puede observar que en la Figura 31a el inversor está trabajando normalmente (en estado estable), hasta que el circuito de detección de fallas detecta una sobret temperatura que rebasa el límite de

temperatura de operación propuesto (ver Figura 32), entonces, el circuito de detección manda una señal de falla (Línea azul celeste) al pin de habilitación del módulo, lo cual, provoca que se deshabilite y por consecuencia las señales de voltaje y corriente de salida del inversor caigan a cero, como se muestra en la Figura 31b. El proceso de detección de fallas descrito anteriormente también es aplicable para las pruebas #2 y #3 mostradas en las Figuras 34, 35, 36 y 37 con la principal diferencia que los rangos de temperatura de operación segura son distintos en cada una de las pruebas mencionadas anteriormente.

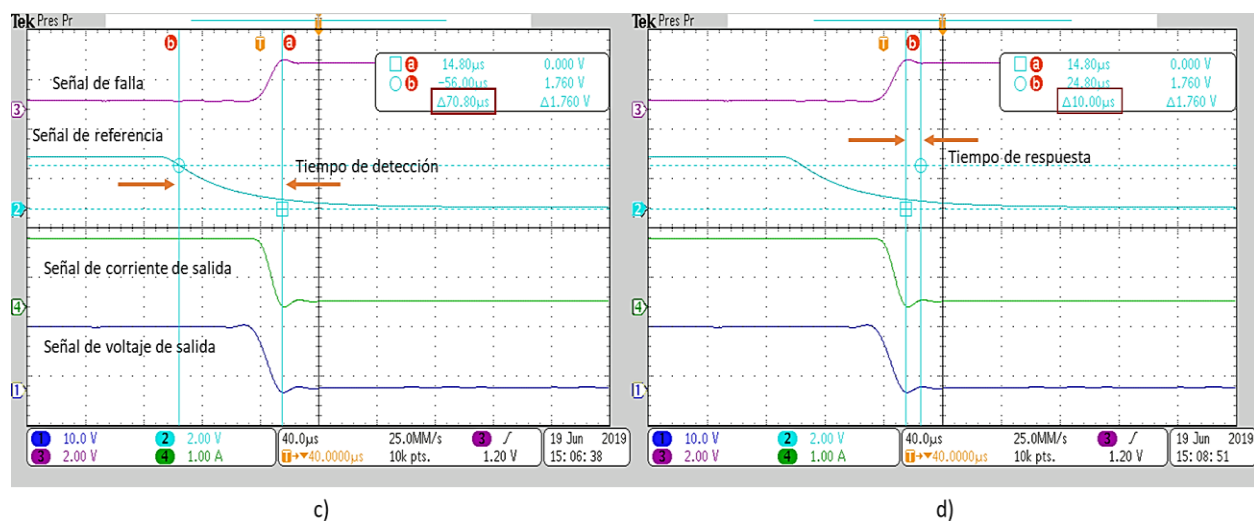


Figura 33. Umbrales de detección de la prueba #1. c) Tiempo de detección de la falla (70.8 μs), y d) Tiempo de respuesta del módulo (10 μs) para la desactivación de las salidas (voltaje y corrientes).

Los umbrales mostrados en la Figura 33c confirman el tiempo de detección de fallas reportado en la sección 3.1.3, el cual al sumarle el tiempo de respuesta del módulo (Figura 33d) se obtiene un tiempo de aproximadamente 80.8 μs en que se detecta la falla y se desactivan todas las salidas del inversor (voltajes y corrientes son cero). Este tiempo también es aplicable para las fallas por sobrecorriente, ya que las pruebas se realizaron con el mismo módulo y circuito de detección, por lo cual no se esperan cambios significativos.

**Prueba #2**

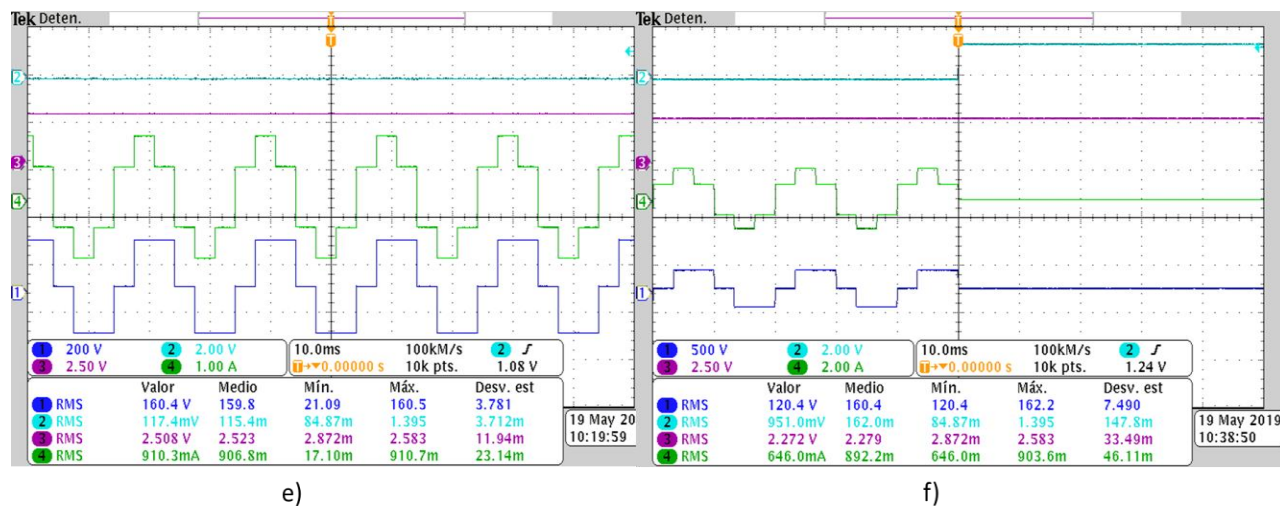


Figura 34. e) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y Señal de falla (L. azul) f) Desactivación de todas las salidas del inversor bajo los efectos de falla.



Figura 35. Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.

**Prueba #3**

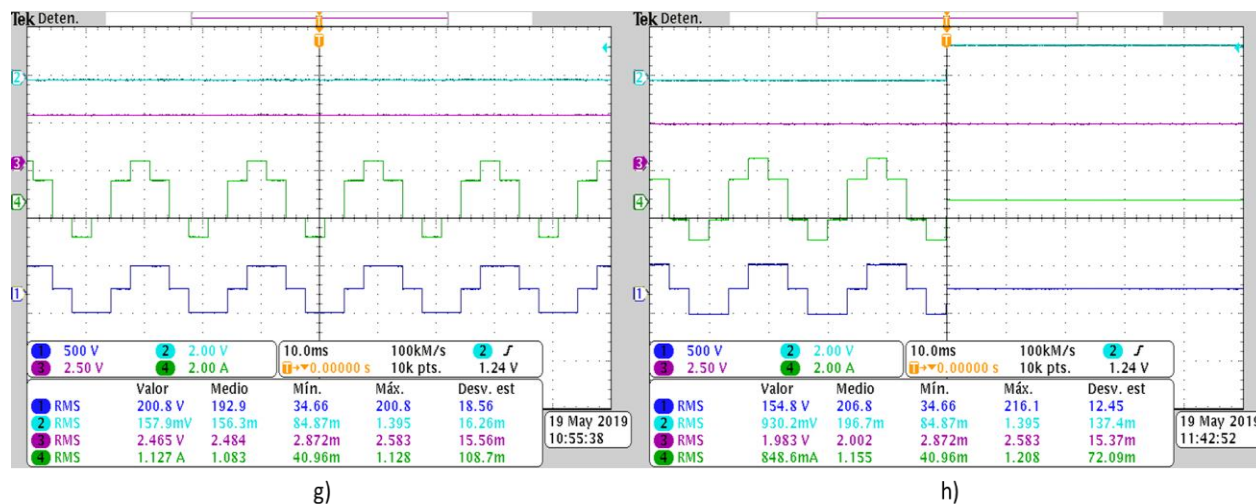


Figura 36. g) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y señal de falla (L. azul) h) Desactivación de todas las salidas bajo los efectos de falla.

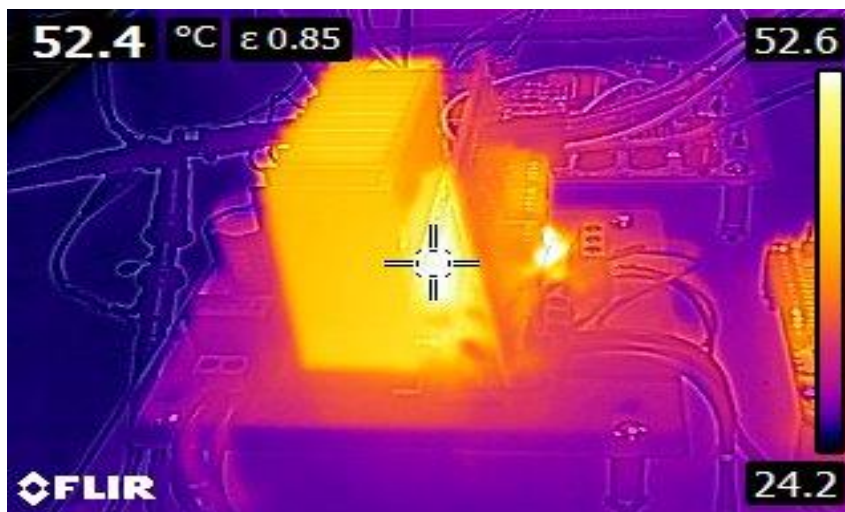


Figura 37. Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.

Las pruebas realizadas anteriormente demuestran que la técnica de detección de fallas propuesta funciona correctamente para detectar fallas por sobretemperatura a diferentes niveles de operación del módulo IRAMS10UP60B. En dichas pruebas se puede observar que, en el momento de la detección de la falla, la medición del sensor de temperatura  $V_{TH}$  (línea morada) registra un valor mayor al de referencia ( $V_{Ref2}$ ), lo que da la impresión de que el circuito de detección de fallas se dispara antes de sobrepasar la temperatura límite de falla propuesta. Pero esta lectura no es del todo precisa ya que las puntas de voltaje con las que se realizaron las pruebas tienen un offset de aproximadamente 100mV.

También es importante aclarar que las imágenes térmicas reportadas en las pruebas 1,2 y 3 registran valores de temperatura por encima de los límites de protección propuestos, esto es debido a que, en el circuito de detección de fallas se ajustó el valor de referencia  $V_{Ref2}$  para detectar las fallas con un margen de aproximadamente 2°C por arriba de la temperatura límite de protección, esto con el fin de compensar el margen de error provocado por el offset de voltaje de  $\pm 30mV$  del circuito de detección.

En este capítulo se comprobó que la técnica de detección de fallas propuesta funciona correctamente para detectar fallas por sobrecorriente y sobretemperatura a diferentes niveles de operación del módulo y a una frecuencia de conmutación de 50 Hz. En el Anexo C se reportan algunas pruebas realizadas al mismo prototipo a una frecuencia de portadora de 3.6 kHz, utilizando una técnica de modulación SPWM, en donde se obtuvieron muy buenos resultados en la detección de fallas. Con esto se comprueba también que la técnica de detección de fallas utilizada anteriormente funciona correctamente a frecuencias de conmutación altas y a diferentes técnicas de modulación.



---

---

# Capítulo 5

## Conclusiones y trabajos futuros

---

---

En este trabajo se ha presentado el diseño y la construcción de un prototipo para la implementación del diagnóstico de fallas al módulo de potencia IRAMS10UP60B, con la capacidad de detectar fallas por sobrecorriente y sobretemperatura. Este módulo internamente contiene un inversor puente completo trifásico, una de sus principales características es que trae integrados sensores de temperatura, corriente y un pin de habilitación lo cual facilita la implementación del diagnóstico de fallas, ya que no se utilizaron sensores adicionales para la generación de residuos, sino que se aprovecharon los que trae integrados el módulo. A continuación se muestran las conclusiones y sugerencias para trabajos futuros relacionados con los resultados obtenidos.

### 5.1 Conclusiones del trabajo

A continuación se muestran las conclusiones del trabajo de tesis:

- Del estudio realizado a las técnicas de diagnóstico de fallas aplicadas a inversores, se seleccionó la técnica de modelo paralelo para implementarla al módulo de potencia IRAMS10UP60B, ya que es una técnica practica de implementar y además se ajusta a nuestro caso de estudio. Cabe mencionar que dicha técnica fue modificada para poder implementarla al módulo.

- En la literatura no se reportan técnicas de diagnóstico de fallas aplicadas a módulos de potencia integrados (I.P.M), por lo que se concluye que la técnica de detección de fallas implementada en este trabajo de tesis es una aportación y un nuevo enfoque para el diagnóstico de fallas a inversores IPM.
- Con base en las pruebas realizadas y resultados obtenidos a lo largo de este documento, se concluye que se logró implementar con éxito la técnica de detección de fallas basada en el modelo paralelo al módulo de potencia IRAMS10UP60B, por lo que en general se cumplió satisfactoriamente el objetivo principal de esta tesis.
- Con la implementación de esta técnica de detección de fallas se obtuvo un tiempo de detección de 70.8 $\mu$ s, el cual, al sumarle el tiempo de respuesta del módulo se obtiene un tiempo total de 80.8 $\mu$ s en que se detecta la falla y se desactivan todas las salidas del inversor. Respecto al tiempo total, se puede decir que es bueno para este tipo de aplicaciones donde se utilizan este tipo de módulos, ya que al no utilizar sensores adicionales se reduce considerablemente el precio de la implementación de esta técnica y además el tiempo de detección obtenido se considera viable ya que se encuentra dentro del rango de los reportados en la literatura.

## 5.2 Trabajos futuros

El trabajo realizado en esta tesis finaliza con la implementación del diagnóstico de fallas al módulo IRAMS10UP60B, sin embargo, para completarlo se recomienda

- Cambiar los componentes del circuito de detección de fallas por otros de mejores características para mejorar el tiempo de detección. En el mercado se encuentran amplificadores de instrumentación de alta velocidad de precisión que podrían reducir el tiempo de respuesta del circuito de detección hasta un 50%, esto con base al slew rate del dispositivo en cuestión.



- Implementar la parte lógica del circuito de detección en una tarjeta FPGA o en otra similar.
- Implementar la técnica de detección de fallas basada en el modelo paralelo para aplicaciones de convertidores multinivel en cascada puente H que utilicen este tipo de módulos, esto con el fin de implementar un sistema de diagnóstico completo y no solo la parte de detección de la falla.

## Referencias

- [1] M. A. R. Blanco, "Desarrollo e Implementación de un Sistema de Inversor-Motor Tolerante a Fallas Basado en la Medición de la Señal de Compuerta del IGBT," TESIS DOCTORAL, Departamento de Ingeniería Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico 2009.
- [2] J. Q. Vicen Puig, Teresa Escobet, Bernardo Morcego, Carlos Ocampo, "Control Tolerante a Fallos (Parte I): Fundamentos y Diagnóstico de fallos, (Parte II): Mecanismos Tolerancia y Sistema Supervisor," *CEA-IFAC*, 2004.
- [3] S. C. a. J. P. R. R. Peugeot, "Fault Detection and Isolation on a PWM Inverter by Knowledge-Based Model," *IEEE Transactions on Industry Applications*, vol. Vol. 34, No. 6, pp. pp 1318-1325, 1998.
- [4] R. I. a. P. Ballé, "Trends in the Application of Model Based Fault Detection and Diagnosis of Technical Processes," *Symposium on Fault Detection Supervision and Safety for the Technical Processes, IFAC SAFEPROCESS*, pp. pp. 1-12, 1996.
- [5] J. A. Alquicira, "Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores," DOCTORADO, CENIDET, 2004.
- [6] M. Z. a. M. Z. S. Bolognani, "Experimental Faults-Tolerant Control of a PWSM Drive," *IEEE Trans. on Ind. Applications*, vol. Vol. 47, No. 5, pp. pp. 1134-1141, 2000.
- [7] R. Isermann, "Diagnosis methods for electromechanical components," *IEEE Industrial Electronics Society Newsletter*, pp. pp. 5-8, 2000.
- [8] M. B. [Note AN-1044] P Wood, N. Keskar, A. Guerra, "hoja de aplicación International Rectifier," ed, 2002.
- [9] A. O. D. Tommaso, F. Genduso, R. Miceli, and G. R. Galluzzo, "A review of multiple faults diagnosis methods in Voltage Source Inverters," in *2015 International Conference on Renewable Energy Research and Applications (ICRERA)*, 2015, pp. 1376-1381.
- [10] Q. Zhang, R. Ma, Y. Huangfu, and B. Zhao, "A novel static fault diagnosis approach for three-phase full-bridge inverter," in *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, 2015, pp. 002360-002366.
- [11] D. Chen, Y. Ye, and R. Hua, "Fault diagnosis of three-level inverter based on wavelet analysis and Bayesian classifier," in *2013 25th Chinese Control and Decision Conference (CCDC)*, 2013, pp. 4777-4780.
- [12] D. D. M. Villagarcía, "Análisis de un Convertidor Multinivel en Cascada con Tolerancia a Fallas en los Interruptores Empleando la Técnica IPDWM," TESIS DE MAESTRIA, CENIDET, 2004.
- [13] M. Alavi, D. Wang, and M. Luo, "Short-Circuit Fault Diagnosis for Three-Phase Inverters Based on Voltage-Space Patterns," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 10, pp. 5558-5569, 2014.
- [14] J. C. R.S. Chokhawala, L. Kiraly, "A discussion on IGBT short-circuit behavior and fault protection schemes," *IEEE Transactions on Industry Applications*, vol. Vol. 31, pp. pp. 256-263, 1995.
- [15] Z. H. Wang Hongwen, Hu Maojin, Wang Shengen, "AC Induction Motor Torque Control System With DSP Controller and Fault Diagnosis," *Electrical Machines and Systems*, vol. Vol. 2, pp. pp. 1313-1316, 2001.

- [16] A. Yazdani, H. Sepahvand, M. L. Crow, and M. Ferdowsi, "Fault Detection and Mitigation in Multilevel Converter STATCOMs," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1307-1315, 2011.
- [17] Z. C. M. Abul Masrur, and Y. Murphey, "Intelligent diagnosis of open and short circuit faults in electric drive inverters for real-time applications,," *IET Power Electronics*, vol. vol. 3, no. 2, pp. pp. 279-291, 2010.
- [18] B. Ji, V. Pickert, W. Cao, and B. Zahawi, "In Situ Diagnostics and Prognostics of Wire Bonding Faults in IGBT Modules for Electric Vehicle Drives," *IEEE Transactions on Power Electronics*, vol. 28, no. 12, pp. 5568-5577, 2013.
- [19] Z. Xu, M. Li, F. Wang, and Z. Liang, "Investigation of Si IGBT Operation at 200 ° C for Traction Applications," *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2604-2615, 2013.
- [20] W. Cao, B. C. Mecrow, G. J. Atkinson, J. W. Bennett, and D. J. Atkinson, "Overview of Electric Motor Technologies Used for More Electric Aircraft (MEA)," *IEEE Transactions on Industrial Electronics*, vol. 59, no. 9, pp. 3523-3531, 2012.
- [21] O. S. Senturk, L. Helle, S. Munk-Nielsen, P. Rodriguez, and R. Teodorescu, "Power Capability Investigation Based on Electrothermal Models of Press-Pack IGBT Three-Level NPC and ANPC VSCs for Multimegawatt Wind Turbines," *IEEE Transactions on Power Electronics*, vol. 27, no. 7, pp. 3195-3206, 2012.
- [22] X. Gong and J. A. Ferreira, "Comparison and Reduction of Conducted EMI in SiC JFET and Si IGBT-Based Motor Drives," *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 1757-1767, 2014.
- [23] K. Wei, W. Wang, Z. Hu, and M. Du, "Condition Monitoring of IGBT Modules Based on Changes of Thermal Characteristics," *IEEE Access*, vol. 7, pp. 47525-47534, 2019.
- [24] L. Ngwendson, M. R. Sweet, and E. M. S. Narayanan, "An overview of the recent developments in high-voltage power semiconductor MOS-controlled bipolar devices," in *2009 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2009, pp. 198-205.
- [25] D. A. Murdock, J. E. Ramos, J. J. Connors, and R. D. Lorenz, "Active thermal control of power electronics modules," in *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference, 2003.*, 2003, vol. 3, pp. 1511-1515 vol.3.
- [26] W. Lai *et al.*, "Condition Monitoring in a Power Module Using On-State Resistance and Case Temperature," *IEEE Access*, vol. 6, pp. 67108-67117, 2018.
- [27] J. C. a. R. J. Patton, *Robust Model-Based Fault Diagnosis for Dynamic Systems*. London: Edit. Kluwer Academic Publishers, 1999.
- [28] M. K. M. Blanke, J. Lunze, M. Staroswiecki, "Diagnosis and fault-tolerant control," *Springer-Verlag*, 2003.
- [29] J. J. Gertler, "Survey of model-based failure detection and isolation in complex plants," *IEEE Control Systems Magazine*, vol. 8, no. 6, pp. 3-11, 1988.
- [30] J. Gertler, "Analytical redundancy methods in a fault detection and isolation: Survey and Synthesis," *Symposium on Fault Detection Supervision and Safety for the Technical Processes, IFAC SAFEPROCESS*, vol. Vol.1, pp. pp. 9-12, Baden Baden, Germany September 1991.
- [31] E. Alcorta, "Detectando Fallas Mediante Redundancia Analítica," *Ingenierías, Revista de la Facultad de Ingeniería Mecánica y Eléctrica de la Universidad de Nuevo León, México*, vol. Vol. IV No. 11, Abril- Junio 2001.

- 
- [32] J. Gertler, "Fault detection and diagnosis in engineering systems," *EEUU*, edit. *Marcel Dekker Inc*, pp. Chap. 1, 2., 1998.
- [33] G. Zwingelstein, *Diagnostic des défaillances, théorie et pratique pour les systèmes industriels*. Paris, France, 1995.
- [34] R. Isermann, "Supervision, Fault-Detection and Fault-Diagnosis Methods: An Introduction," *Control Eng. Practice*, vol. Vol. 5 No. 5, pp. pp. 639-652, 1997.
- [35] P. M. Frank, "Fault diagnosis in dynamic systems using analytical and Knowledge-based redundancy- a survey," *Automatica Journal of IFAC*, vol. 26, no. issue 3, pp. 459-474, 1990.
- [36] S. J. K. a. C. W. Lee, "Diagnosis of Sensor Faults in Active Magnetic Bearing Systems Equipped with Built-In Force Transducers," *IEEE/ASME Transactions on Mechatronics*, vol. 4 No. 2, pp. 180-186, 1999.
- [37] L. G. Vela, "Etude et Elaboration d'une Approche Fonctionnelle Pour la Localisation de Defaults Application a la Simulation d'un Moteur a Courant Continu," These Doctorat, l'Universite Henri Poincare, Nancy 1, France, Juille 1998.
- [38] M. H. Rashid, *Power Electronics handbook*, U. e. Academic, ed., USA, 2001. [Online]. Available.
- [39] O. V. Thorsen and M. Dalva, "A survey of faults on induction motors in offshore oil industry, petrochemical industry, gas terminals, and oil refineries," *IEEE Transactions on Industry Applications*, vol. 31, no. 5, pp. 1186-1196, 1995.
- [40] I. rectifier, "Modulo de potencia IRAMS10UP60B," in *Hoja de datos*, ed.
- [41] F. d. Sciascio. (2016). *Estimación de Estados Observador*. Available: <http://dea.unsj.edu.ar/control2/Clase09a-Observadores%20de%20estados.pdf>
- [42] C. A. T. P., "Diseño y construcción de un inversor Trifásico " *Universidad Tecnológica de Pereira*, vol. No 40, p. 6, 2008.

## **ANEXO A. Proceso para la implementación de la técnica de control PWM de ancho de pulso constante**

### **Lenguaje VHDL y FPGA**

Una FPGA, o matriz de puerta programable en campo, es una matriz de celdas lógicas colocadas en una superestructura de interconexiones que pueden programarse en tres niveles diferentes: (1) la ocupación de las celdas lógicas, (2) la interconexión entre celdas y (3) las entradas y salidas. Los tres niveles se configuran mediante una cadena de bits que se carga desde una fuente externa. Las FPGAs son dispositivos muy versátiles que ofrecen al usuario una amplia gama de opciones de diseño.

### **Descripción del hardware utilizado**

La función de la etapa digital es generar los estados de encendido y apagado de los 6 transistores de potencia que integran el inversor. En este caso, se utilizó una tarjeta FPGA Altera Cyclone II (ver Figura A-1) que actualmente tiene un precio aproximado de \$680. Su bajo costo la hacen una solución ideal para una amplia gama de aplicaciones, en especial aquellas áreas relacionadas con el procesamiento y generación de señales. Dicha tarjeta cuenta con las siguientes características principales:

- Voltaje de alimentación: 5 - 9V DC.
- Regulador de voltaje en placa de 1,2V para el core del FPGA y otro de 3,3V para los puertos de entrada/salida.
- FPGA: Altera (ahora Intel) Cyclone II EP2C5T144.
- Número de IO E/S: 89.
- Oscilador en la placa de 50Mhz, conectado al pin 17.
- Conector de programación: JTAG
- Memoria EEPROM EPCS4 de 4Mbit en placa (sólo programable a través del puerto ASP)
- Compatible con el software IDE Altera Quartus II y su edición web libre

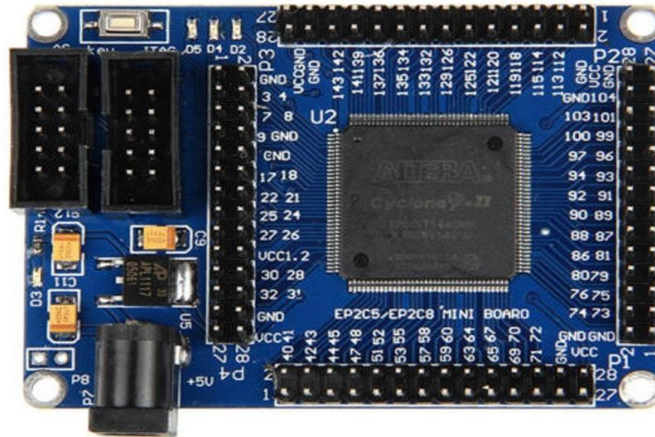


Figura A-1. Tarjeta FPGA Altera Cyclones II EP2C5T144.

## Elaboración de la implementación en programación VHDL

Pasos para la configuración de la tarjeta Altera en QUARTUS II:

**Paso 1.** Como primer paso fundamental es la generación de un PWM de frecuencia y ciclo de trabajo constante mediante la programación VHDL, para ello utilizaremos el entorno de programación QUARTUS II 13.0 como se puede apreciar en la Figura A-2.

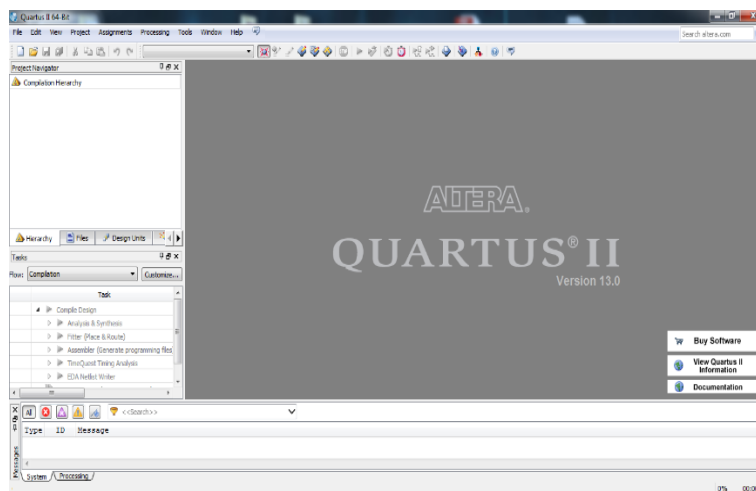


Figura A-2. Ventana principal de inicio del programa QUARTUS II versión 13.

## **Código en lenguaje VHDL para el control de los interruptores del inversor trifásico puente completo.**

A continuación se muestra el código para implementar el control al inversor trifásico de 3 niveles. Este cuenta con la reconstrucción de toda la forma de onda a partir de cualquier ángulo de conmutación calculado, esto lo hace muy práctico, ya que no es necesario reconstruir la señal ángulo por ángulo.

### *Designación de librerías*

```
library IEEE; --Libreria estandar IEEE
use IEEE.STD_LOGIC_1164.ALL; --Uso de librería estándar lógica
```

### *Declaración de entidades*

```
entity prueba is      --La entidad llamada prueba
  Port (             --Declaración o asignación de puertos
    CLKin: in STD_LOGIC;  --Declaración de una entrada de tipo estándar lógico
    CLKout: out STD_LOGIC;--Declaración de una salida de tipo estándar lógico
    PWM1S : out STD_LOGIC_VECTOR (1 downto 0);
    PWM2S : out STD_LOGIC_VECTOR (1 downto 0);
    PWM3S : out STD_LOGIC_VECTOR (1 downto 0)
  );
end prueba; --Fin de la entidad
```

### *Descripción de la arquitectura*

```
architecture Behavioral of prueba is
  signal Cint : integer range 0 to 1000000;
  constant max : integer := 1000000; -- 5,000,000 Hz
  constant half: integer := max/2;
  signal count : integer range 0 to max := 0;
```

```
signal CLKint: STD_LOGIC;
```

```
begin
```

```
-----
```

```
process
```

```
begin
```

```
wait until CLKin'event and CLKin = '1';
```

```
if
```

```
count < max then
```

```
    count <= count + 1;
```

```
    else count <= 0;
```

```
end if;
```

```
if
```

```
count < half then
```

```
    CLKint <= '0';
```

```
    else CLKint <= '1';
```

```
end if;
```

```
end process;
```

```
CLKout <= CLKint;
```

```
-----
```

```
process (CLKin)
```

```
begin
```

```
if (CLKin'event and CLKin = '1') then
```

```
    if (Cint = 1000000) then
```

```
        Cint <= 0;
```



```
        else
          Cint <= Cint + 1;
        end if;
      end if;
    end process;

process (Cint)
begin
  case Cint is
    when 0 to 500000    => PWM1S <="10";--  0
    when others => PWM1S <="01";
  end case;
end process;

process (Cint)
begin
  case Cint is
    when 0 to 333333    => PWM2S <="01";--  0
    when 333334 to 833333 => PWM2S <="10";--  0
    when 833334 to 1000000 => PWM2S <="01";--  0
    when others => PWM2S <="--";
  end case;
end process;

process (Cint)
begin
  case Cint is
```

```

when 0 to 166666 => PWM3S <="10";-- 0
when 166667 to 666666 => PWM3S <="01";-- 0
when 666667 to 1000000 => PWM3S <="10";-- 0
when others => PWM3S <="--";
end case;
end process;
end Behavioral;

```

**Paso 2.** Comprobar el correcto funcionamiento de nuestro código VHDL como se muestra en las Figuras A-3 y A-4.

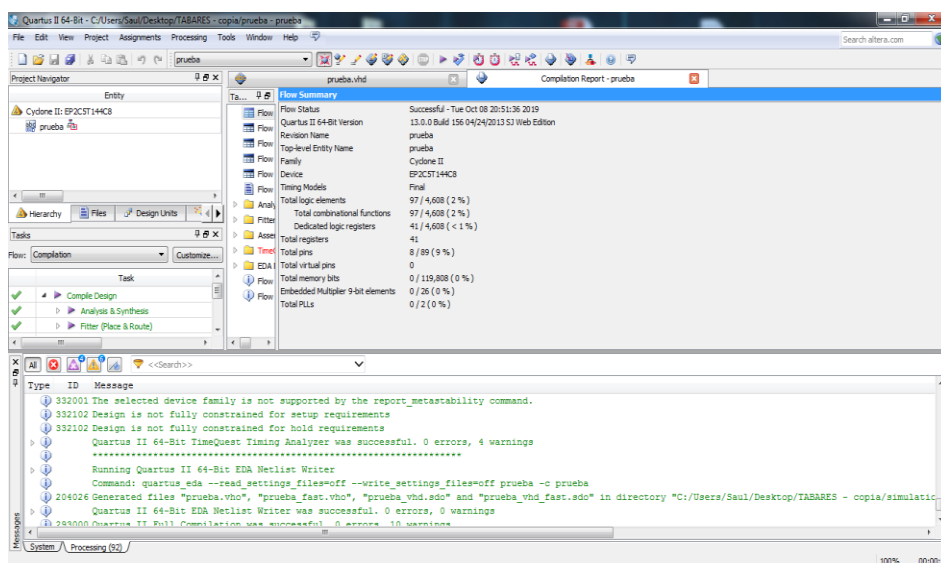


Figura A-3. Reporte de compilación de QUARTUS II.

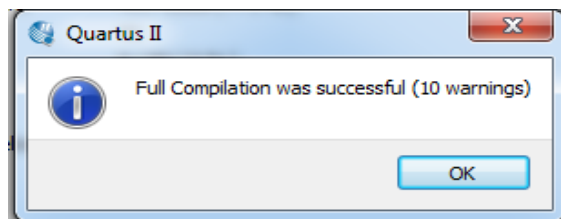


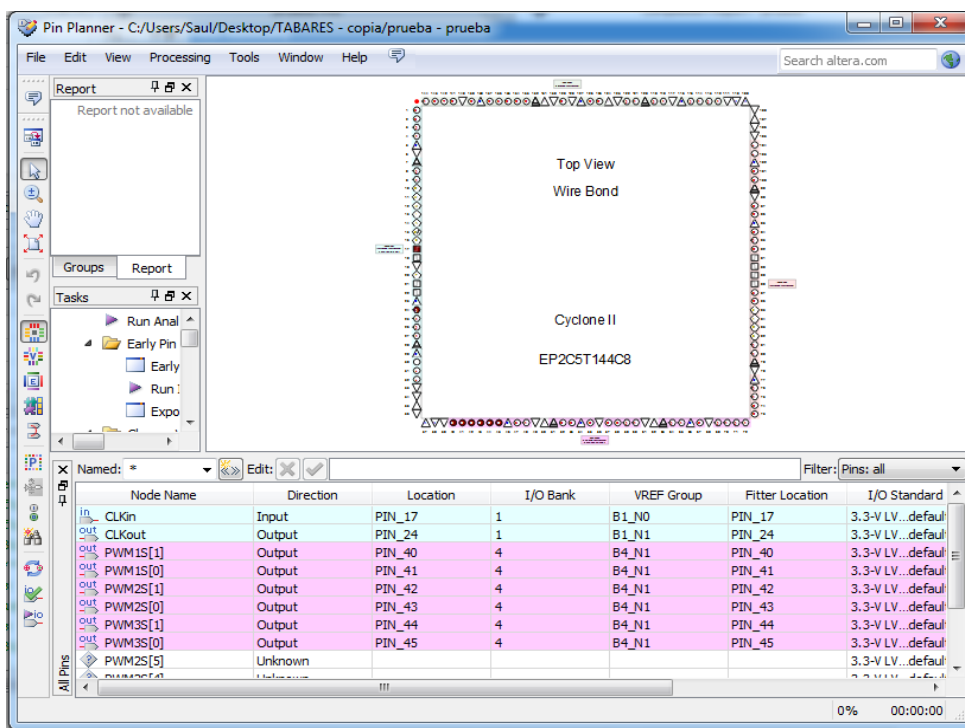
Figura A-4. Compilación correcta.

**Paso 3.** Localizar en la barra de herramientas el PIN PLANNER con el icono que se muestra en la Figura A-5 para la asignación de puertos en la FPGA.



*Figura A-5. Icono PIN PLANNER.*

**Paso 4.** Como se muestra en la Figura A-6 se presenta la asignación de los puertos de entrada y salida con ayuda del manual de especificaciones.



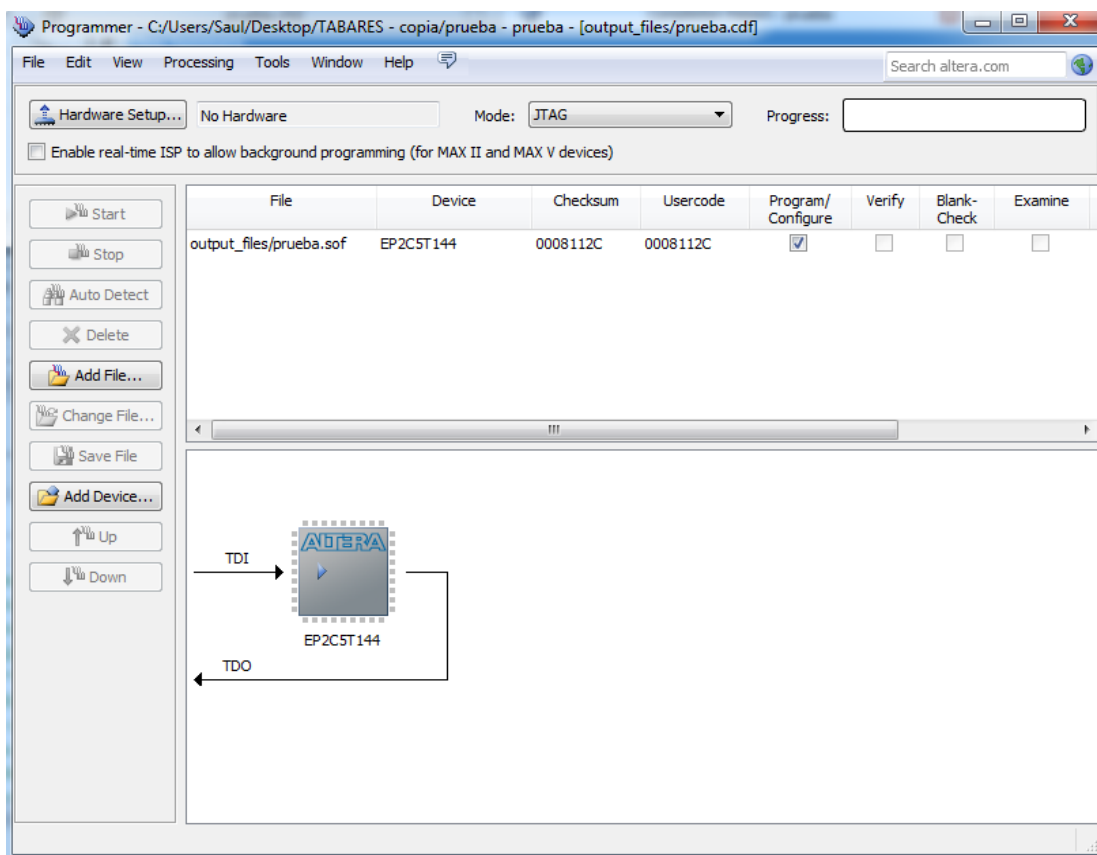
*Figura A-6. Ventana de PIN PLANNER.*

**Paso 5.** Localizar en la barra de herramientas el PROGRAMMER con el icono que se muestra en la Figura A-7 para la asignación del USB- BLASTER.



*Figura A-7. Icono de PROGRAMMER.*

**Paso 6.** Como se muestra en la Figura A-8 se presenta la ventana de PROGRAMMER y para grabar en la FPGA nuestro VHDL damos click en START.



*Figura A-8. Ventana de PROGRAMMER.*

## ANEXO B. Diseño de placas para la construcción del prototipo

Los PCB para la construcción del prototipo se diseñaron en el programa Atium Designer versión 15.1. A continuación se muestran los diseños.

- PCB para el módulo IRAMS10UP60B

En la Figura B-1 se muestra el diagrama esquemático para el inversor puente completo trifásico utilizando el módulo IRAMS10UP60B.

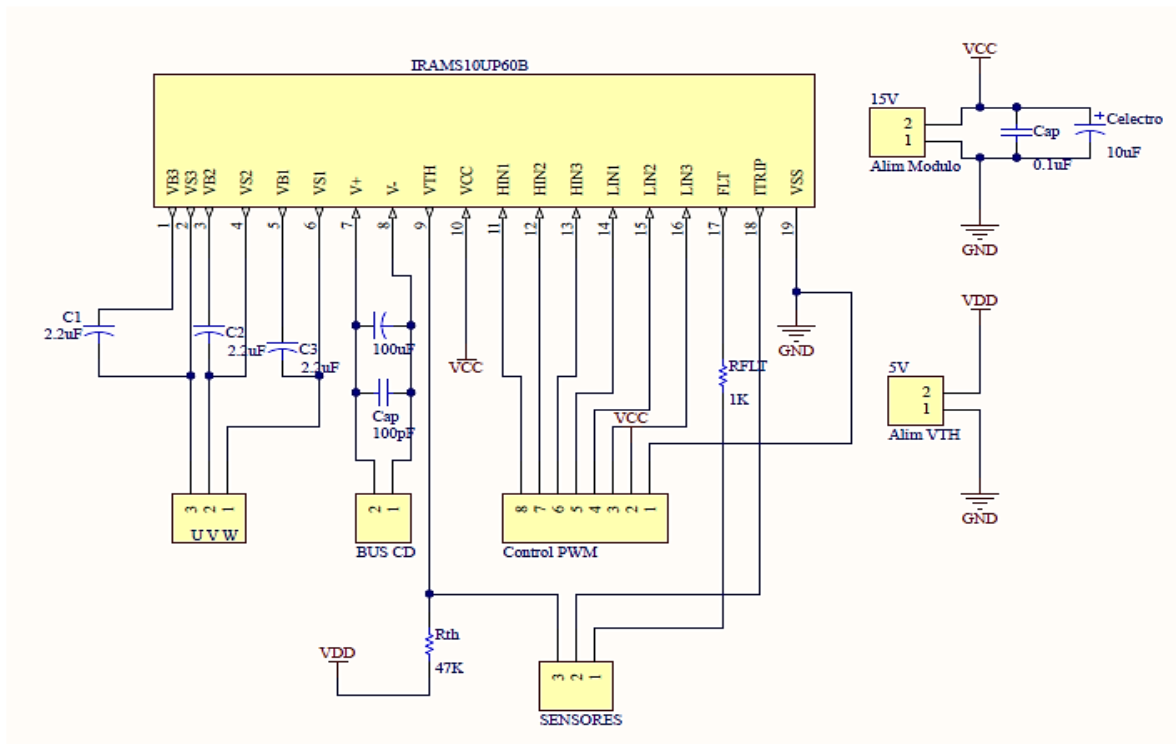


Figura B-1. Diseño del esquemático del inversor puente completo trifásico.

El diseño de la tarjeta PCB para el módulo IRAMS10UP60B se muestra en la Figura B-2.

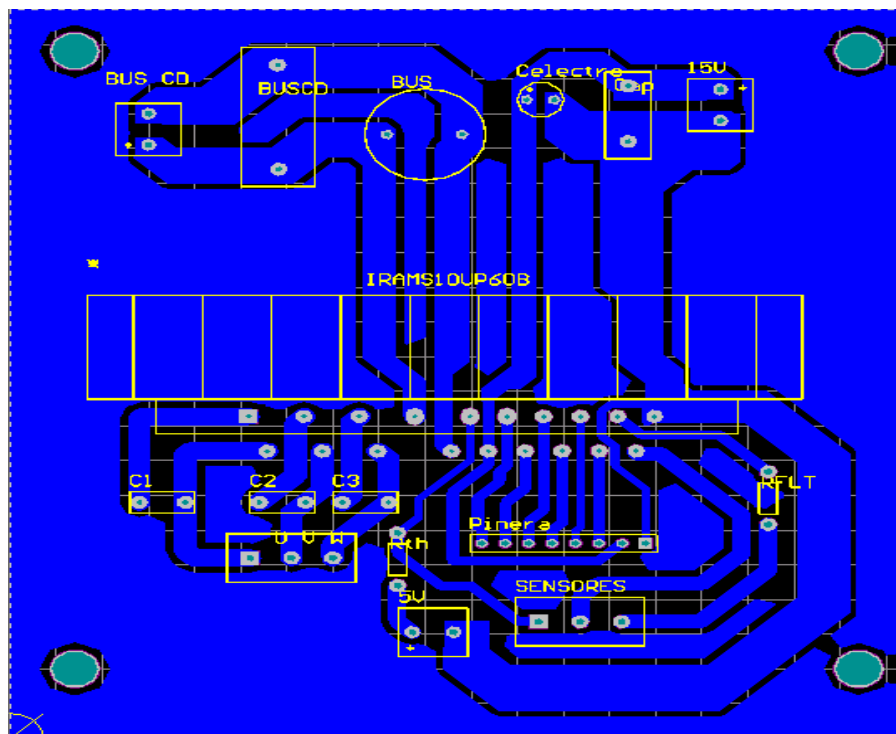


Figura B-2. Diseño del PCB del módulo IRAMS10UP60B.

- PCB de optoacopladores

El propósito de la implementación de optoacopladores es de aislar eléctricamente el dispositivo de control (FPGA) y la etapa de potencia. Aislar estos dos circuitos permite tener inmunidad al ruido conducido generado por los transistores en la conmutación y otros posibles fallos en la etapa de potencia que podrían dañar los dispositivos de control. Esto se logra separando el punto de referencia a tierra del FPGA y la referencia del inversor.

En la Figura B-3 se muestra el esquema de conexión del circuito implementado para aislar las señales PWM que van del FPGA al inversor puente completo trifásico.

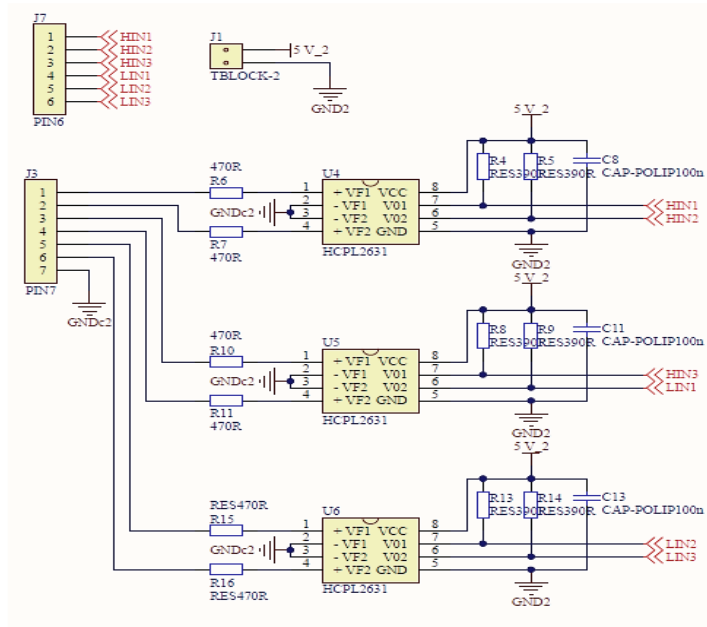


Figura B-3. Diseño del esquemático para la etapa de aislamiento (optoacopladores).

El diseño de la tarjeta PCB de los optoacopladores se muestra en la Figura B-4.

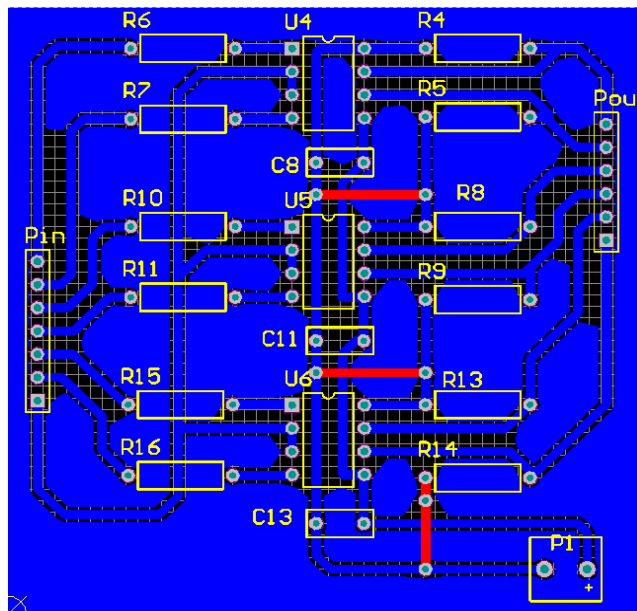


Figura B-4. Diseño del PCB de optoacopladores.

- PCB del circuito de detección.

En la Figura B-5 y B-6 se muestra el diseño del esquemático y del PCB para el circuito de detección de fallas.

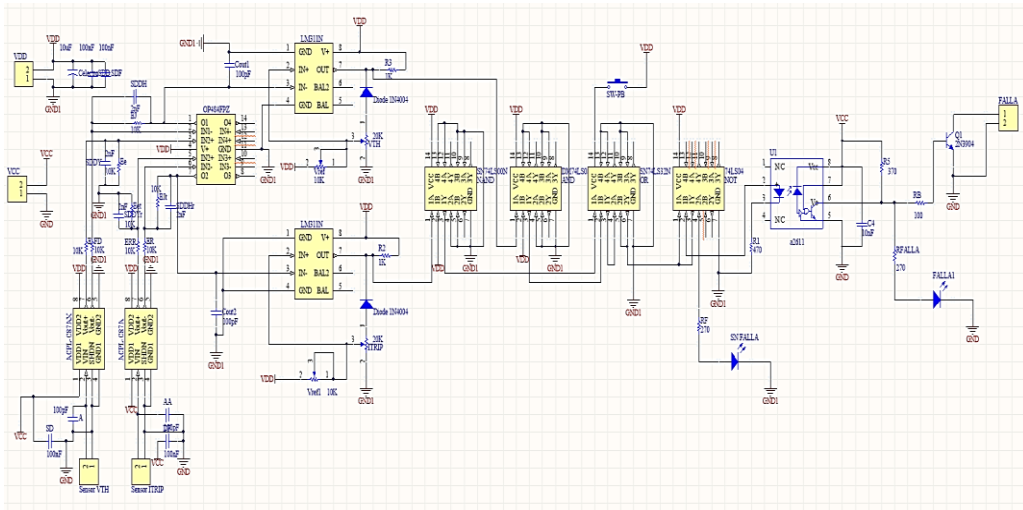


Figura B-5. Diseño del esquemático del circuito de detección de fallas.

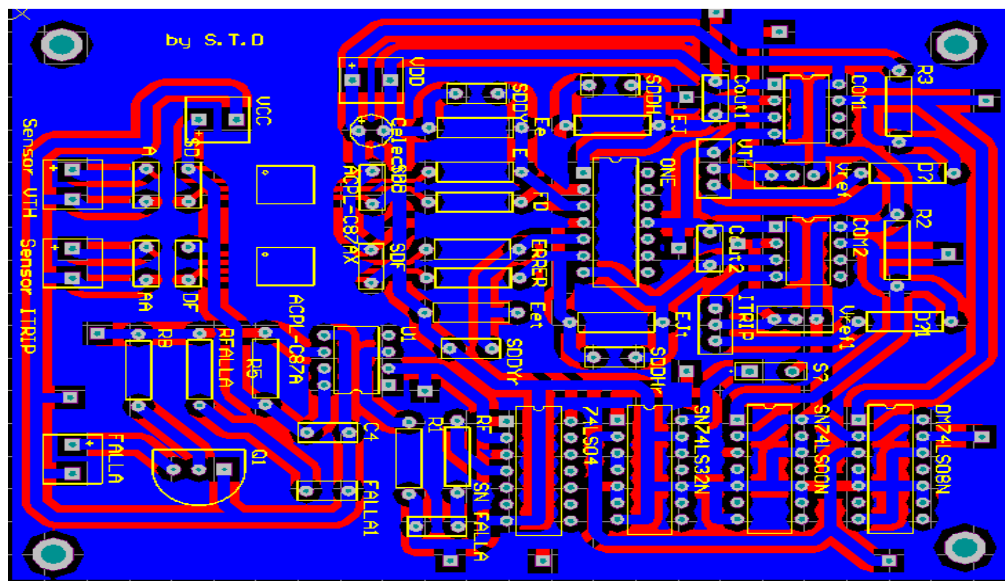
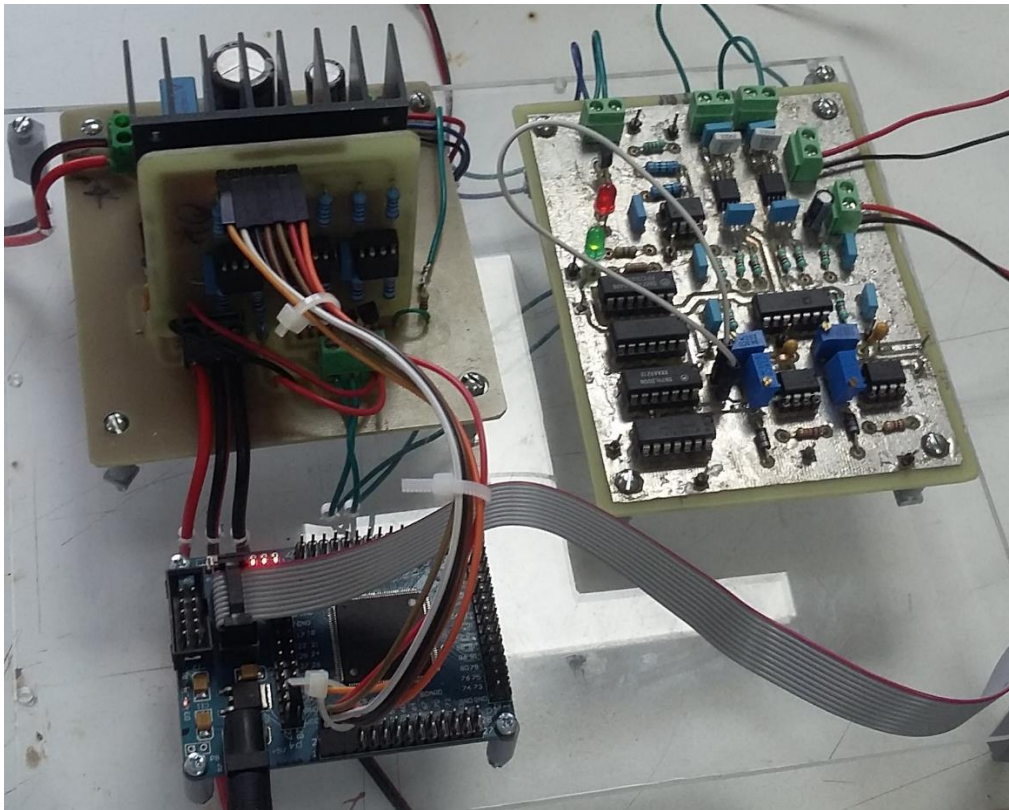


Figura B-6. Diseño del PCB doble cara del circuito de detección de fallas.



A continuación, se observa en la Figura B-7 el ensamble final del prototipo para la implementación del diagnóstico de fallas al módulo IRAMS10UP60B.



*Figura B-7. Ensamble final del prototipo.*

---

## ANEXO C. Pruebas de detección de fallas al módulo IRAMS10UP60B a alta frecuencia de conmutación

- **Programación de la técnica de modulación SPWM**

El FPGA Altera Cyclone II tiene como salida 6 señales PWM generadas mediante la comparación entre una señal portadora triangular y una señal moduladora senoidal. El procedimiento empleado para generar estas señales se describe en la Figura C-1. Básicamente se tienen dos programas, un script de MATLAB y un código VHDL creado en el software Quartus II.

El programa principal es un código VHDL creado en Quartus II. La estructura general de este programa consta de tres fases:

1. La declaración de librerías, parámetros de entrada/salida, constantes y señales utilizadas en el programa.
2. Un divisor de frecuencia basado en contadores para generar una señal a una frecuencia determinada, la cual depende de la frecuencia de la señal moduladora y el valor del oscilador con el que dispone el FPGA.
3. Un bloque con sentencias secuenciales del tipo *case*, el cual genera las señales de salida y asigna el tiempo en que cada señal está en un estado alto (encendido) o bajo (apagado).

El programa en MATLAB genera las señales moduladoras y portadoras, las compara y almacena los resultados en un archivo de texto. Para programar el FPGA, es necesario copiar el código escrito en el archivo de texto, pegarlo en el programa de Quartus II, ejecutarlo y cargarlo en el FPGA siguiendo el mismo proceso que en el anexo A. En la Figura C-1 se muestra el proceso empleado para la generación de las señales PWM para el control de los seis interruptores del módulo IRAMS10UP60B.

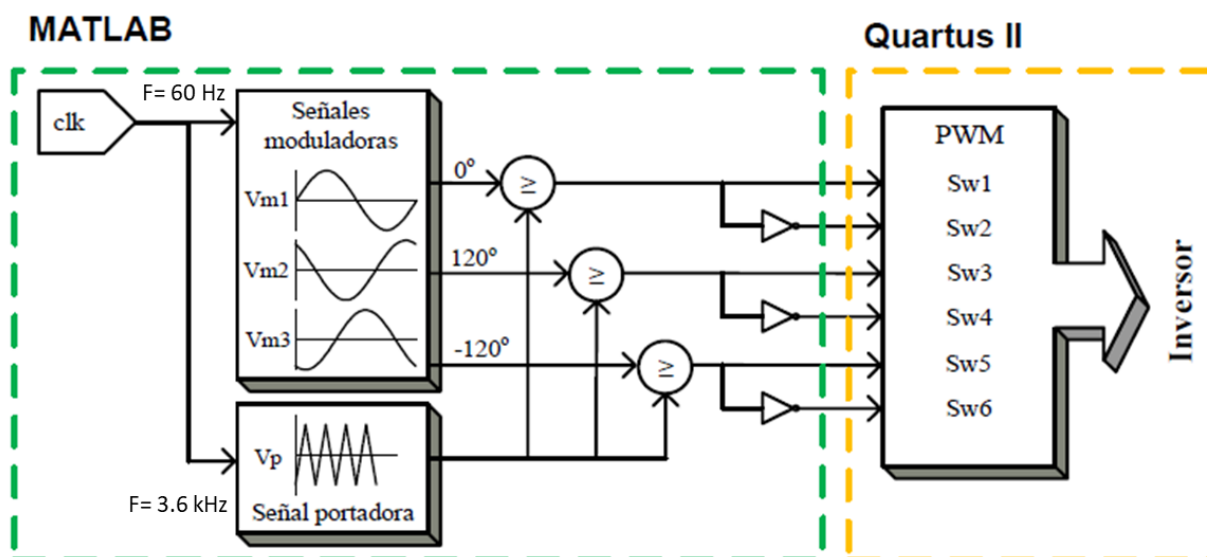


Figura C-1. Diagrama representativo del proceso empleado para la generación de señales de la modulación SPWM.

- **Pruebas de detección de fallas al módulo IRAMS10UP60B**

Las pruebas de detección de fallas reportadas en este apartado se realizaron a una frecuencia de portadora de 3.6 kHz, utilizando una técnica de modulación SPWM. Las fallas abordadas en esta sección son las ocasionadas por sobretensión, siguiendo el mismo proceso del protocolo de pruebas para fallas por sobretensión de la sección 4.2.

En la Tabla C-1 se muestran las condiciones para realizar las pruebas de detección de fallas por sobretensión.

Tabla C-1. Condiciones para las pruebas de detección de fallas por sobretensión al módulo IRAMS10UP60B.

Prueba #	Bus de CD (V)	Carga (3Ø, Y) (Ω)	Temperatura límite (°C)	V <sub>Ref2</sub> (V)
1	15	10	40	2.4
2	20	10	45	2.2
3	25	10	50	1.9
4	30	10	60	1.4

A continuación, se muestran las pruebas y los resultados obtenidos de la técnica de detección de fallas basada en el modelo paralelo implementada al módulo de potencia IRAMS10UP60B.

### Prueba #1

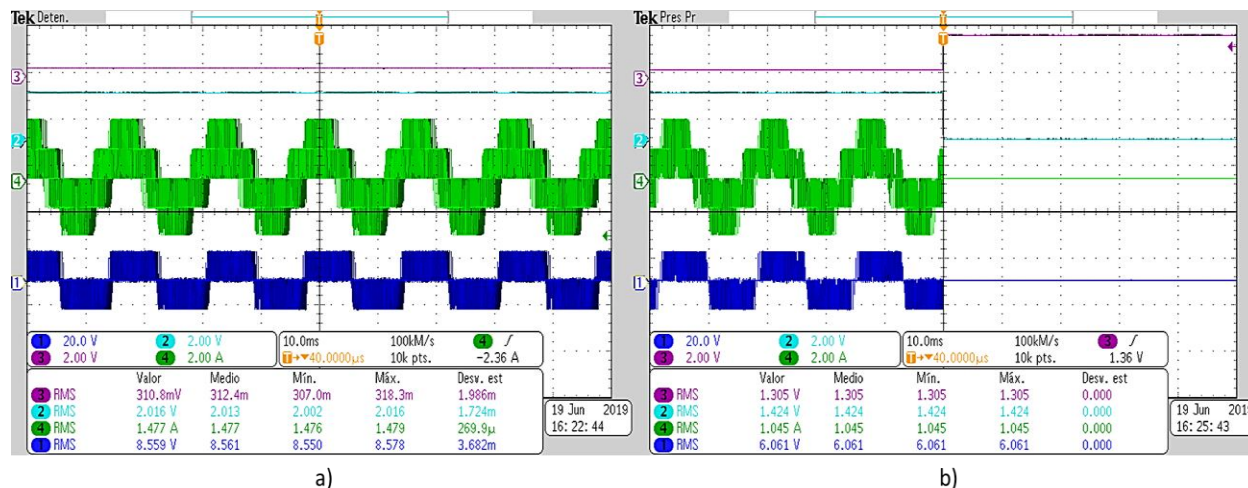


Figura C-2. a) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), señal de referencia (Línea azul celeste) y señal de falla (Línea morada) b) Desactivación de todas las salidas del inversor bajo los efectos de la falla.

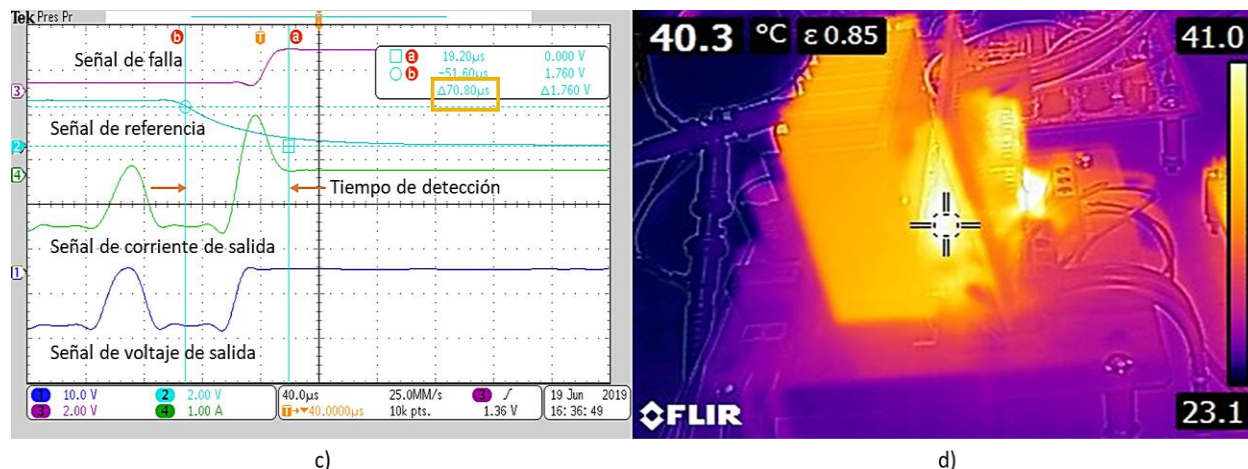


Figura C-3. c) Umbrales de detección de la prueba #1, y Tiempo de detección de la falla de 70.8µs (Recuadro amarillo), d) Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.

El tiempo de detección de 70.8µs mostrado en la Figura C-3c se obtuvo de la prueba #1 de la Figura C-2. El tiempo obtenido en esta prueba coincide con el de las pruebas realizadas en la sección 4.2, lo que demuestra que esta técnica de detección de fallas funciona correctamente a diferentes frecuencias de conmutación y a distintas técnicas de modulación implementadas al módulo IRAMS10UP60B. Cabe mencionar que las pruebas de detección de fallas por sobrecorriente fueron omitidas, ya que no se esperan cambios significativos en los resultados. A continuación, se muestran algunas pruebas realizadas a distintas temperaturas de operación del módulo que respaldan lo dicho anteriormente. Dichas pruebas se muestran en las Figuras C-4, C-5 y C-6.

### Prueba #2

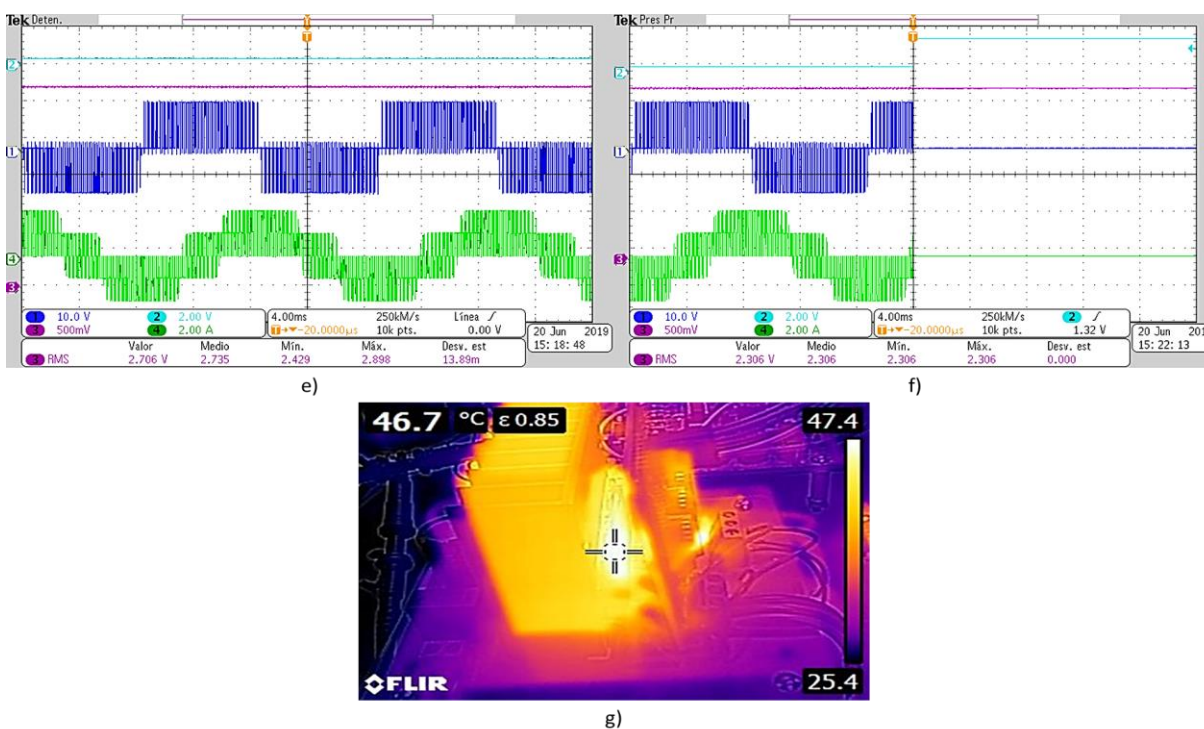


Figura C-4. e) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y Señal de falla (L. azul), f) Desactivación de todas las salidas del inversor bajo los efectos de falla y g) Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.

**Prueba #3**

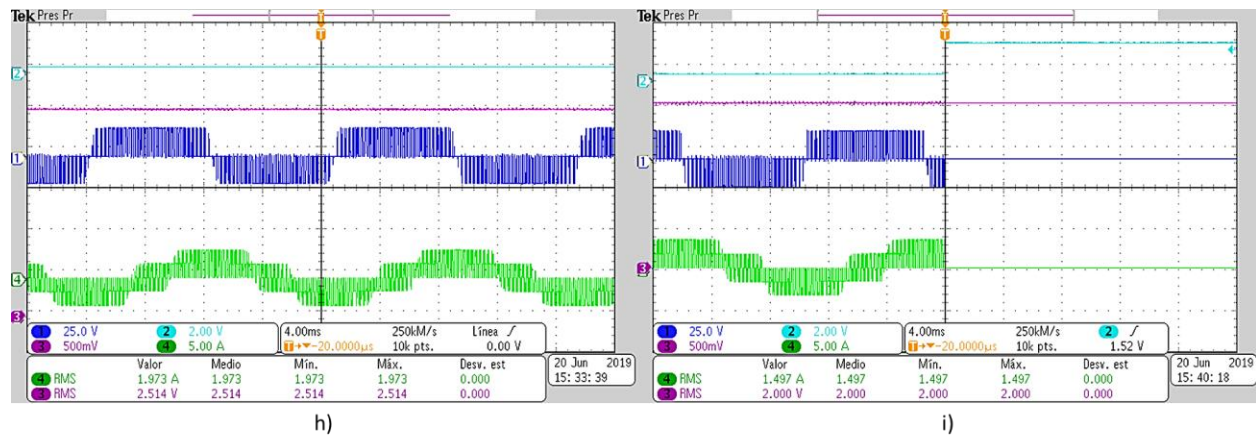


Figura C-5. h) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y Señal de falla (L. azul), i) Desactivación de todas las salidas del inversor bajo los efectos de falla y j) Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.

**Prueba #4**

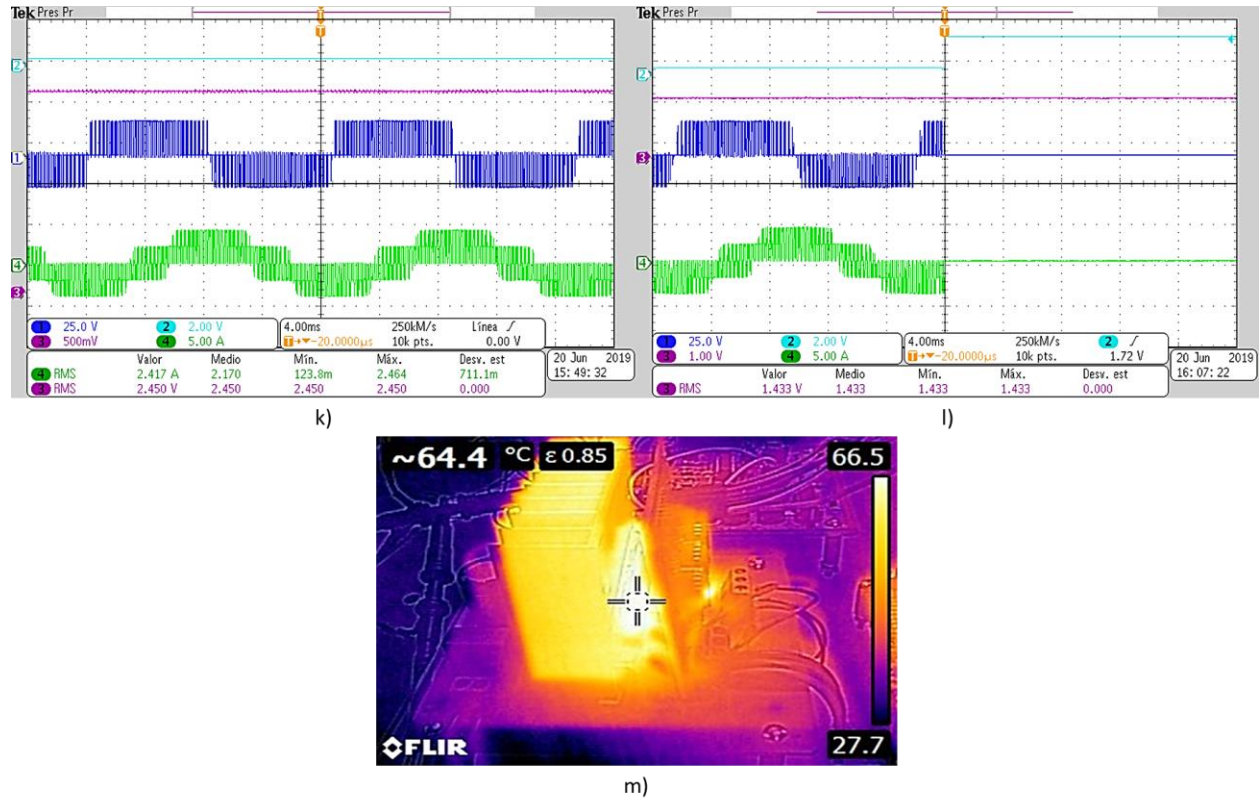


Figura C-6. k) Formas de onda de las salidas del inversor libre de falla (voltaje y corriente), lectura del sensor de temperatura (L. morada) y Señal de falla (L. azul), l) Desactivación de todas las salidas del inversor bajo los efectos de falla y m) Foto térmica de la lectura de la cámara en el momento de ocurrir la falla.